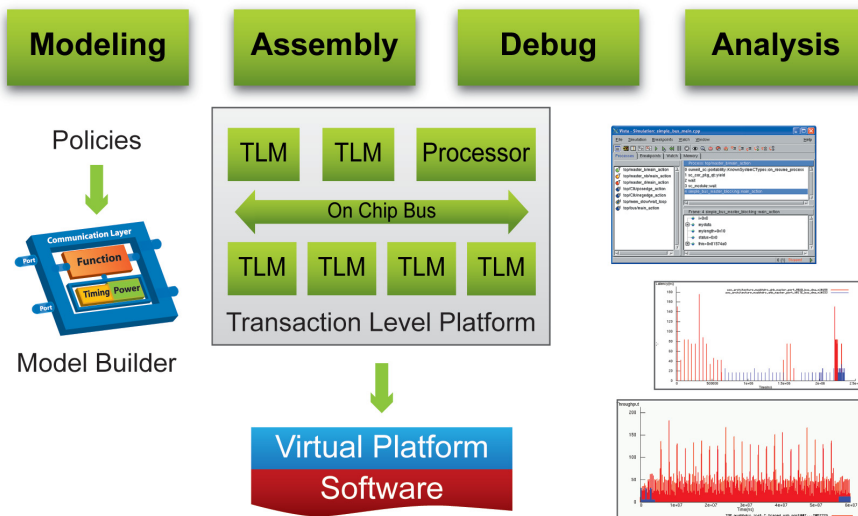


Vista Architect

System Level Design Solution for Performance and Power

Electronic System Level Design
D A T A S H E E T



特長:

- アーキテクチャの設計および検討
- ハードウェア/ソフトウェアのトレードオフ解析が可能
- 性能および消費電力の早期評価
- ソフトウェアの統合および検証のための仮想プラットフォーム
- RTL検証のためのリファレンス・モデルリング
- リスクの最小化と結果品質の最大化

Vista Architect は、トランザクションレベルでのモデル化、解析、および性能と消費電力の最適化が可能な包括的なアーキテクチャ設計およびプロトタイピング・プラットフォームを提供します。

マルチコア・プロセッサを用いたコンシューマ、モバイル、およびストレージ・システムの急速な複雑化と共に、アーキテクチャの決定はますます重要な要素となり、設計の競争力に大きな影響を与えています。マルチコア・ハードウェア/ソフトウェア・アーキテクチャの構成および検証、システムの負荷対応能力およびデータ・トラフィック・キャパシティの確認は、すべて重要な作業です。

SystemCのトランザクションレベル・モデリング (TLM) 手法を用いることにより、設計者はシステム全体のモデル化を行い、その機能を検証し、消費電力、性能、面積について、様々なアーキテクチャに基づいたトレードオフを迅速に解析し、ソフトウェア開発とハードウェア/ソフトウェア統合のための仮想プラットフォームを作成可能です。

アーキテクチャ・レベルで確認できる主要な項目の例として、以下が挙げられます。

- そのアーキテクチャは必要な機能を提供し、ユーザの期待にできるものであるか?
- そのシステムは性能と消費電力の目標を満足できるものであるか?
- そのシステムは効率的な実装が可能なのか?
- アーキテクチャ上で、ソフトウェアの正確かつ効果的な実行が可能か?

Vista Architectは、アーキテクチャ設計、解析、および検証を目的とした完全なTLM 2.0ベースのソリューションであり、システム設計者およびSoC設計者による最適なアーキテクチャ決定を可能にします。複雑なシステムのプロトタイピングと解析を行うことにより、最適なアーキテクチャの決定、実装設計期間の短縮、初回での成功を実現できます。

ローパワー: 低消費電力

今日、誰もが消費電力を重要な課題としてとらえています。消費電力を可能な限り抑えたいのは当然ですが、実際にはシステムの機能、性能、および製造の容易性と低消費電力要件のバランスを考える必要があります。

Vistaによる画期的なESLソリューションでは、アーキテクチャ・レベルの初期段階で消費電力要件への取り組みを可能とすることにより、消費電力、性能、および機能の最適化を、実装に入るかなり前の段階で行うことができます。

ソフトウェアとの統合

ソフトウェア開発チームにとって、ハードウェアに依存するソフトウェアの早期検証は重要な課題です。Vista Architectは、ソフトウェアにより駆動されるハードウェアのテストとデバッグだけではなく、ファームウェア、オペレーティング・システム、あるいはハードウェアに依存するアプリケーションを実行可能な仮想プラットフォームの開発も可能です。

OVM RTL検証とのリンク

ESLとRTLは異なる言語 (SystemCとSystemVerilogなど) を使い、異なる用途に利用されていますが、両ドメインの要素をリンクし再利用することは重要であり、これを実現することで、より広範かつ完全な検証ソリューションが構築できます。システムレベルで作成されたTLMモデルは、RTLサブシステムをシームレスに駆動したり、実装可能な仕様 (リファレンスモデル) としてRTLモデルの自動的な検証に使用したりすることも可能です。OVMはこれを実行するための手法とフローを定義したもので、ESL設計向けに作成されたTLMモデルを、OVM RTL検証ステージで効果的に再利用できます。

VistaのスケラブルなTLMモデリング手法

TLMはモデル化、検証、解析および実装をサポートする抽象度の高い設計手法です。メンター・グラフィックスは、通信、機能、消費電力/タイミングを分離したレイヤ方式のアプローチに基づいて、TLM 2.0スケラブル・モデリング・メソッドを提供しています。このレイヤ方式のアプローチでは、モデルは単一の機能記述をESL設計サイクル全体から実装段階まで維持することができます。

機能を表すアンタイムドのレイヤは、モデルが「何」を行うかという動作を定義し、タイミング/消費電力レイヤでは、機能が「どのように」実装されるかを反映します。タイミングのレイヤは、特定のマイクロ・アーキテクチャ実装に関連したタイミングを定義し、計算のレイテンシ、複数ポートにわたるパイプライン化、あるいは機能応答時間 (waitステート数など) を反映しています。

設計プロセスでは、タイミングおよび消費電力の精度が進化し、抽象度の高いアンタイムド表記からターゲット・マイクロ・アーキテクチャの詳細な実装ビューへのモデルへと詳細化されますが、これらすべてが単一のモデルで表されます。

このレイヤ方式のアプローチでは、シミュレーション中に同一のモデルを、高速なLoosely-Timed (LT) ソフトウェア実行をターゲットとしたLTモードと、ハードウェア検証と性能/消費電力解析をターゲットとしたより詳細なApproximately-Timed (AT) によるATタイミング・モード間で切り替えることも可能です。

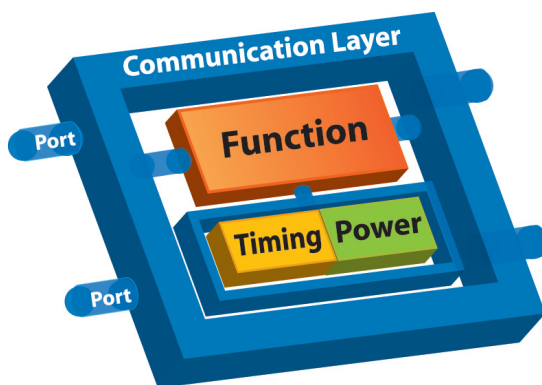
利点

- ・ 革新的TLM 2.0モデリング・アプローチ
- ・ レイヤ方式のモデリング手法
- ・ 通信、機能、タイミング/消費電力レイヤの分離
- ・ モデルのタイミング精度と消費電力精度をインクリメンタルに向上可能
- ・ ハードウェア検証要件とソフトウェア実行要件への対応
- ・ システムレベルから実装までの一貫性

Vistaによるアーキテクチャ設計フロー

Vistaは、Model BuilderによるスケラブルなTLMモデル構築機能、システム・リファレンス・プラットフォームの組み立ておよび構成機能、システムの検証およびデバッグ機能、システム解析および最適化機能を含む、完全なアーキテ

クチャ設計フローを提供します。検証と最適化が行われたリファレンス・プラットフォームは、ファームウェア、オペレーティング・システム、あるいはハードウェア依存のソフトウェア・アプリケーションを実行する仮想プラットフォームとして使用可能です。また、OVM RTL検証用に利用することもできます。



TLMモデルの作成

Vista Architectのサブセット、Vista Model Builderでは、複雑なモデル作成を直感的なメカニズムと定義済みのモデリング・ベースクラスを用いて効率的に行うことが可能であり、TLMモデルの開発が容易になります。Vista Model Builderは、TLM 2.0に基づいた最新のスケラブルなモデリング手法により強化されており、通信、機能、およびタイミング/消費

電力特性を個別にモデル化可能です。このモデリング手法では、設計サイクルに含まれる様々な実装段階を通じて、また使用する設計オプションに関係なく、単一の機能モデルを維持できます。Vista Model Builderは各種TLMクラスや使いやすいレイヤによって機能のモデル化を自動化し、より効率的で分かりやすい動作モデリングを実現しています。TLMコード・スケルトンはポート、レジスタ、およびメモリ宣言から自動的に抽出され、TLM 2.0に準拠したコンパクトなSystemCソースコードが生成されるため、ユーザはこれに基づいて内部動作の完全なモデル化が可能です。

タイミングと消費電力は、強力なポリシーセットを通して、トップダウンで指定できます。このポリシーセットを用いることで、レイテンシ、パイプライン、waitステート宣言などを含む、希望のマイクロ・アーキテクチャのタイミングを直感的にモデル化でき、最小限のコーディング作業で、機能を記述したコードは変行せずに、多数の複雑なマイクロ・アーキテクチャの代替案をシステムのコンテキストで素早く検討することが可能です。

利点

- ・ TLM 2.0モデルの自動生成
- ・ モデル化に要する作業量の削減
- ・ 機能と通信の分離
- ・ 動作モデリング用のクラス
- ・ 強力なタイミング/消費電力ポリシー
- ・ 様々なマイクロ・アーキテクチャを容易に検討

システムの組み立てと構成

アーキテクチャ設計段階では、モデルの直感的なインスタンス化と組み立てを行い、様々なアーキテクチャ構成、インターコネクト・レイヤリング、およびメモリ階層を表現できます。Vistaの強力なブロックダイアグラム・エディタでは、分かりやすいグラフィカルなプラットフォームの組み立て、編集、および視覚化が行えます。

利点

- ・ 分かりやすいグラフィカルなプラットフォーム組み立て、編集、および視覚化

システムの検証とデバッグ

Vista Architectは、SystemCによるTLMプラットフォームの検証とデバッグ用に開発された、業界最先端のSystemCのデバッグ・ツールセットを提供します。アーキテクチャ・レベルの検証は、様々なIP間の正しい相互動作と適切なデータフローの検証が中心となります。

Vista Architectは、高位でのシステム・デバッグとデータフロー解析に焦点を当てた革新的なデバッグおよびトレース・コンセプトを提供します。これによりユーザは、システムおよびそのリソースを通じたデータの処理内容と流れ、イベント・シーケンス、フロー制御およびプロセス・スケジューリングなどを効率的に理解できます。

TLM 2.0とSystemC/C/C++によるモデリング向けに開発された独自のデバッグ・メカニズムにより、ユーザは使い慣れたハードウェア・デバッグ・プラットフォームを用いて、トランザクション、イベント・シーケンス、およびプロセス実行のトレースを行うことが可能になります。ユーザは、クラス階層だけでなく設計階層を確認しながら、C/C++のデータ・オブジェクトおよび関数の割り当てと実行内容を、時間ごと、またはデルタ・サイクル内において理解できます。TLMレベルのあらゆるデバッグと解析は、ソースコードのインスツルメンテーションを一切必要せず、SystemCの既存設計フローと自然にリンクします。

利点

- ・ TLMのデバッグとデータ・トレース用のトランザクションレベル・ビューア
- ・ 複雑なシステム内のデータおよび制御フローの理解
- ・ 設計階層とクラス階層の表示
- ・ ユニークなランタイムでのプロセス動作追跡処理
- ・ C/C++データ・オブジェクトのデルタ・サイクル解像度による波形トレース
- ・ イベント・シーケンスの包括的デバッグ
- ・ ハードウェア・ビューとC/C++ビュー間を切り替え可能なSystemCデバッグ

解析と最適化

強力な解析ツールセット

Vista Architectは、ポート、バス、またはサブシステムの負荷のピーク、平均レイテンシ、スループットおよび使用率を観測することにより、様々な性能指標や消費電力基準の解析が可能な、人手によるインスツルメンテーションなどを一切必要としない、強力な解析およびレポート・ツールセットを提供します。

Vista Architectにより、ユーザは主要なハードウェア・ブロックの組み合わせによる迅速なシステム・プロトタイプングと、各種シナリオおよびトラフィック負荷を用いたシステムの消費電力と性能の解析を行うことが可能です。Vista Architectでサポートされるスケーラブルなモデリング手法により、設計チームはタイミングおよび消費電力のバジェットを、コンセプト設計からターゲットとなる実装内容にいたるまで、トータルに管理できます。このアプローチでは、シリコン面積を最適化すると同時に、特定のアプリケーションに対するデータ容量の処理性能を確保することが可能です。また、システム・アーキテクチャがスケーラブルな状態に保たれ、製品の将来的な流用設計もサポート可能です。

様々なシナリオの検証

複雑なデータパケットを簡単に作成し、IDによるタグ付けを行い、それらのシステム内における伝播をトレースし、解析を行うことが可能です。この独自の機能により、ユーザはシステム内のデータ・フローと様々な負荷シナリオの影響を、明確に理解することが可能になります。

ユーザは、統計的データ・トラフィックやランダム化されたデータ・トラフィック、あるいはソフトウェア駆動のトラフィックを実行するにより、現実的な動作シナリオをテストすることが可能です。これにより、ハードウェア・ドメインとソフトウェア・ドメインの詳細なトレードオフ解析と、アーキテクチャにおけるハードウェアとソフトウェアの境界の最適化を行うことが可能です。

Vista Architectにより、ユーザはスケーラブルなTLMモデリング手法を用いて、モデル作成やシミュレーションの効率を改善でき、また、これらは純粋なLTのシミュレーションからATのシミュレーションへと動的に切り替えることが可能です。

マイクロ・アーキテクチャの迅速な変更

タイミングのモデル化にユニークなレイヤ方式のアプローチを用いることにより、ユーザは各マイクロ・アーキテクチャ・モデルに対するタイミング・ポリシーを迅速に切り替え、様々な構成やパイプラインのストラテジを、機能に影響を与えることなくテストすることが可能です。タイミングと消費電力の精度は、ターゲットのバスプロトコルに基づいて、高位の近似モデルから精密なタイミングまで、数分で詳細化することが可能です。

利点

- ・ TLM 2.0ベースの構成変更可能なアーキテクチャ・ブロックセット
- ・ 高度な解析と視覚化
- ・ データパケット、モデル・ステート、および設計属性のトレース
- ・ 性能および消費電力指標
- ・ 現実的な動作シナリオのテスト
- ・ ランタイムでのLTモードとATモードの動的な切り替え
- ・ ハードウェアとソフトウェアのトレードオフ解析
- ・ データのトレースや解析にインスツルメンテーションが不要

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.
Mentor Graphics は Mentor Graphics Corporation の登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本 社 〒 140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)

大阪支店 〒 532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話 (06) 6399-9521

名古屋支店 〒 460-0008 愛知県名古屋市中区栄 4 丁目 2 番 29 号名古屋広小路プレイス
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>