

Pyxis Layout Suite は、メンター・グラフィックスの Pyxis カスタム IC 設計プラットフォームの物理レイアウト・コンポーネントです。この製品には、フロア・プランニング、編集、SDL (Schematic Driven Layout)、チップ・アセンブリ、そしてカスタム配線用のアプリケーションが組み込まれています。

総合的な設計ソリューション

IC 設計は日進月歩で複雑化しています。アナログ/ミックスシグナル IC 設計ではさらに顕著な傾向が見られます。こうした中、Time-to-Market は企業にとってクリティカルな問題であり、メンター・グラフィックスでは、こうした問題を解決するため Pyxis™ カスタム IC 設計プラットフォームを提供しています。これは設計キャプチャ、物理レイアウト、検証を含めたすべてをカバーする設計フローです。メンター・グラフィックスがファウンドリ・パートナー各社と共同で開発したこの設計キットは、重要なデータに即座にアクセスできるように、各社のターゲット・プロセス・テクノロジーに対応しています。トータル設計ソリューションを必要とするアナログ/ミックスシグナル IC 設計者には、メンター・グラフィックスの Pyxis カスタム IC 設計プラットフォームをお勧めします。

アナログ/ミックスシグナル IC 設計

メンター・グラフィックスの Pyxis Layout Suite ソリューションは、構成が簡単で、手頃な価格のオプションが揃っているため、AMS 設計の生産効率向上と物理レイアウトの迅速な自動処理を求める設計エンジニアに最適です。設計エンジニアはわずか 1 日で、Pyxis ツールを使いこなせるようになるでしょう。Pyxis Layout Suite には、Pyxis Layout と Pyxis Implement の 2 つのアプリケーションが標準で組み込まれています。

主な利点

- レイアウト設計のスループットが手動レイアウト手法と比較して最高 50 倍向上
- オプション製品によりさらに高い生産効率を実現
- 複数のツールはますます高まるレイアウト自動化レベルに対応
- DRC デバッグのサイクル削減により Time-to-Market を短縮
- 複雑な手順を追加することなく、レイアウト工程全体で DRC および LVS を検証
- 複雑であっても DRC/LVS に適合したレイアウトを簡単なコマンドで作成できるため、最終製品の信頼性が向上
- 設計サイクルのどの時点でも回路図の更新をレイアウトに反映可能

主な機能

- 回路図や SPICE ネットリストからのレイアウト・フロア
- フロア・プランニング、レイアウト、チップ・アセンブリ、テープアウトを含むすべての設計タスクを 1 つの環境に統合
- Calibre nmDRC や Calibre nmLVS との統合によりレイアウト・エディタ内でのチェックが可能
- デジタル/アナログのレイアウト設計ですぐに使えるパラメータ化済みデバイス・ジェネレータ
- 統合 ECO コンポーネント
- OpenAccess、LEF/DEF、GDS による設計データ交換

さらに、各設計者の要求に応じた自動化レベルや機能レベルに対応したアプリケーションをオプションとして選ぶことができます。また、メンター・グラフィックスでは、最高水準のサポート、トレーニング、技術支援サービスを提供しています。

Pyxis Layout

Pyxis Layout は、効率的で正確なポリゴン編集に役立つ幅広い編集機能セットをサポートしています。これによりエンジニアは回路密度や性能を十分制御できるだけでなく、生産性を最大で 5 倍改善して Time-to-Market の目標を達成できます。階層管理機能と高度なウィンドウ管理機能により、同じセル上に複数のビューを設定でき、どちらのビューでも編集できます。また、ハーフセル・メソッドロジを使用して編集することで、一貫性のあるアナログレイアウトを作成できます。

Pyxis Layout のダイナミック配列機能や「できるだけ近くに移動させる」機能により、設計エンジニアは、粗いグリッド解像度または大型のレイアウト表示からでもレイアウトを操作できるので、レイアウト・プロセスの手順を減らし、生産性を向上できます。

Pyxis Implement

SDL (Schematic Driven Layout) とは、Correct by Construction (構築しながら修正する) によるレイアウト作成を可能にする設計メソッドロジです。レイアウトは、回路図またはネットリスト・ソースの情報に基づいています。

Pyxis Implement では、設計コネクティビティ機能を使用して、レイアウトと回路図との関係を保ちながらレイアウトのデータを自動的に作成し、設計サイクルを短縮して LVS 違反のないレイアウトを実現します。レイアウト環境内ではポリゴン、デバイス・ジェネレータ (カスタム、内蔵、またはファウンドリ提供の Process Design Kit)、セル・データのどの組み合わせにも対応しています。Pyxis Implement は、厳しいスケジュールで性能目標を達成するのに役立ち、従来の手動によるレイアウト方法よりも生産性が 50 倍向上します。Pyxis Layout のすべての機能、階層、SDL 環境などが搭載され、レイアウト品質を犠牲にすることなく複雑な設計を素早く作成することができます。

SDL では自動的またはグラフィカルにデバイスを「選択および配置」できます。クロスプローブ付きのダイナミックなコネクティビティ画面表示でレイアウトと回路図間を素早く簡単にナビゲートすることができます。そして、内蔵のインタラクティブ・ルータまたはオプションの制約駆動型ルータ Pyxis Customer Router を使用して、デバイスを速やかに接続できます。

Pyxis Implement の ECO (技術変更指示) コンポーネントでは、設計サイクルのどの段階であっても、回路図主導の技術変更を素早くレイアウトに反映できます。レイアウトと回路図を比較した後、ECO では自動的にレイアウトに設計変更項目が取り込まれるので、追加、削除、プロパティ変更などのオプションを選択して、回路図表現とレイアウト設計の同期を維持しながら、短時間でレイアウトを編集できます。

ショートチェック機能を使用すれば、LVS を起動する前に、重なり合ったネットが原因で起こるショートを見つけることができます。ショートする箇所はメニューから確認でき、必要な変更を加えることができます。

コネクティビティ機能を使用すると、設計サイクルのどの段階でも正確なレイアウト接続を確認できます。設計プロセス全体でコネクティビティ機能を使用すると、LVS エラーのないレイアウト作成に役立ちます。Pyxis Implement の圧縮機能は自動領域縮小に対応しています。セミ/フル自動圧縮では、レイアウト領域を犠牲にすることなく生産性を高めることができます。制約が緩い領域では短時間で接続や配置を行えるので、その後、制約の厳しい領域のレイアウトを処理できます。

自動デバイス・ジェネレータ

Pyxis Implement には、パラメータ化されたデバイス・ジェネレータが組み込まれており、レイアウト設計ですぐに使用できます。ファウンドリ PDK で提供されたものでも、レイアウトチームが直接作成したものであってもそのまま使用でき、また機能拡張することも可能です。エンジニアは、回路図ソースに格納された情報を使用して、論理的に正しく設計ルールに対応したデバイスを自動的に作成できるので、関連レイヤから手動でデバイスを作成する従来の方法より生産性が大幅に向上します。

デバイスはフォームと対話型編集コマンドから手動で修正および追加できます。Pyxis Implement は DRC クリーンのパラメータ化デバイスの作成を後押しするので、結果として設計ルールに沿ったレイアウトを作り上げます。ベース・デバイスを基にカスタム・デバイスを構築することも可能です。

レイアウトをパラメータ化することで複数のエンジニアとリモートで設計を標準化することが可能です。その結果、DRC クリーンの複合的なレイアウトを簡単なコマンドで作成できるようになり、生産性の向上に繋がります。

トランジスタ・デバイスは、5ピン、6ピンなど n ピン MOS デバイスを含む高電圧デバイスに対応したすべての設計と屈曲ゲートを使用した複雑なメモリ設計の生産性向上に役立ちます。トランジスタ編集コマンドを使用すると、デバイスを損ねることなく複雑なデザインを柔軟に作成できるので、生産性と信頼性がアップします。コンデンサ・デバイスでは、1回のコマンド操作だけでスイッチ・コンデンサ内で使用される複合コンデンサが作成できます。

形状ベースのコンデンサ・デバイスでは、コンデンサでエリアを「埋め」て確保しておけるので、将来の設計変更にも柔軟に対応できます。複数のサブタイプを持つビア・デバイスは、DFM ルールだけでなく、自動ビア選択やビア回転を含む先端プロセスルール技術の「インライン」配線や「回転」配線のレベル遷移にも対応しています。抵抗デバイスはマルチプロセスだけでなく直列および並列構造をサポートします。1回のコマンド操作だけで適切な抵抗を作成できます。保護帯域デバイスを使用して敏感なアナログ・レイアウトを迅速に保護することが可能です。保護帯域編集コマンドには保護帯域を通して敏感なアナログ・レイアウトまでの配線を完了させる「カット」機能があります。

フロア・プランニング

今日のミックスシグナル SOC 設計の複雑さが増すにつれて、レイアウト前のプランニングは大変重要です。Pyxis Assemble はフロア・プランニングに対応しており、レイアウト環境内で完全に統合されます。高度なフロア・プランニングには次の機能があります。

- 複合エリア推定モード
- レイアウト・ワイヤ伝搬（接続性がある階層を介したプッシュ/プル）
- 階層管理
- ECO フロー統合
- トップダウン・ブロック編集能力
- Pyxis Schematic、SPICE ネットリストおよび Verilog ネットリストからの入力
- LEF / DEF ブロックの読み/書き

複数の設計者によるレイアウト設計

メンター・グラフィックスでは Pyxis Concurrent オプションを開発し、複数の設計者による同一セルの同時編集を可能にしました。この環境は、テープアウト直前のアセンブリおよび DRC/LVS クリーンアップの最終仕上げとなるプロジェクト最終段階を対象にしています。詳細は、Pyxis Concurrent データシートをご覧ください。

レイアウト自動化

Pyxis LayoutSuite には、以下の対話型配線機能があります。

- 「インプレース配線」に対応した完全統合型の配線テクノロジー
- 柔軟なブロックージ制御
- 配線長、抵抗、キャパシタンス、コストをリアルタイムで視覚的にフィードバック
- 押しのけられるネットを最小化
- 複数のバス配線モード
- クリティカルネットの配線処理制御

Pyxis Layout Suite がサポートする配線後ベースの DFM 強化は以下のようなものがあります

- ビア数最小化
- レイヤ・スワップ
- 配線の曲げ削減

Pyxis Custom Router オプションは、今日のアナログ設計の配線ニーズに合わせて開発された 28nm プロセス対応の制約駆動型ルータです。詳細は、Pyxis Custom Router データシートをご覧ください。

今日のミックスシグナル SoC 設計に占めるデジタルの比率が増える中、トップレベルのフロア・プランニングと配線が設計フローにおいて重要になってきています。メンター・グラフィックスでは、フロア・プランニングやトップレベル・アセンブリ、対話型配線に対する堅牢な機能セットを提供する Pyxis Assemble を開発しました。

その他のカスタムメソドロジ

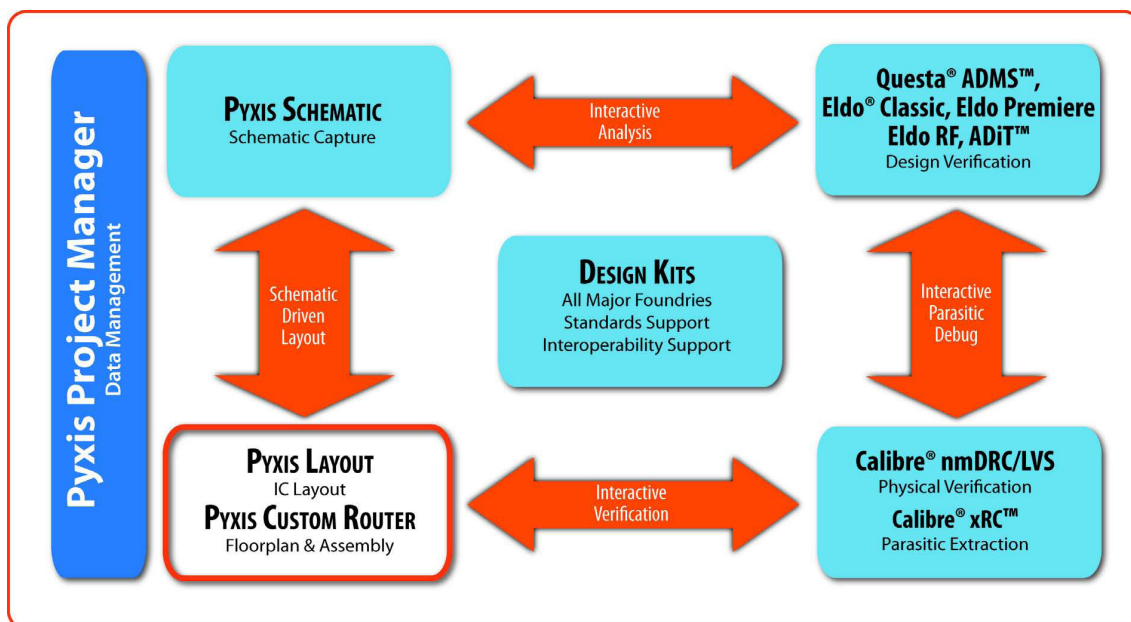
Pyxis Layout Suite は、複雑な設計メソドロジをサポートするようにカスタマイズできます。その筆頭にあるのが MeMs です。これは Pyxis Layout Suite に含まれるユニークな機能で、MeMs 設計では一般的な操作の全角度回転が可能になります。ほかに、フラットパネルのレイアウト用カスタマイズがあります。Pyxis Layout Suite のオプション製品である Pyxis TFT-LCD は、同一長さ、同一階層のルーティングのほか、パネル固有の他の設計機能もサポートします。

設計データ交換

Pyxis Layout Suite は OpenAccess、LEF/DEF、GDS といった業界標準形式を使った設計データ間のやりとりをサポートしています。

レイアウト検証

Calibre® RealTime との統合により、Pyxis カスタム IC 設計プラットフォームの環境内で Calibre のサインオフ品質物理検証をオンデマンドで実行できます。サインオフのフローと同じ Calibre を使用することで、レイアウトの編集と同時にデザイン検証および最適化ができます。Calibre RealTime があれば、設計者は製造歩留まりに妥協にすることなく、レイアウト性能を最適化できます。



メンター・グラフィックスのカスタム IC フローと回路、抽出、シミュレーションが統合されたツールにより、システム仕様定義からレイアウト後の検証に至るまで実質上シームレスなアプローチで設計に関わることができます。

詳しい製品情報は、<http://www.mentorg.co.jp/pyxis> をご覧ください。

Copyright © 2011 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話 (06) 6399-9521

名古屋支店 〒460-0008 愛知県名古屋市中区栄 4 丁目 2 番 29 号 名古屋広小路プレイス
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>