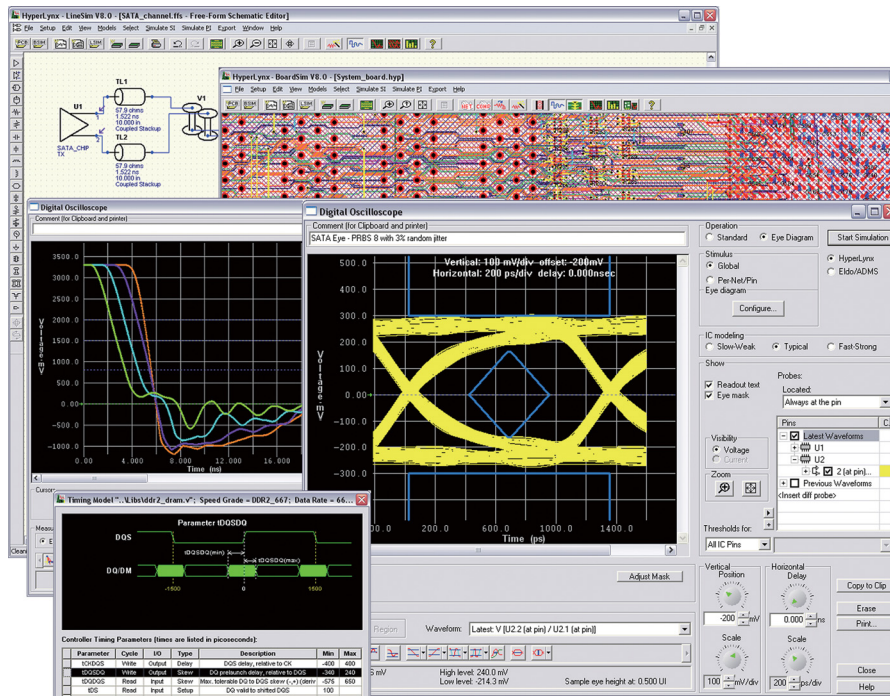


HyperLynx SI

高度なシグナル・インテグリティ解析

High Speed Design
D A T A S H E E T



特長:

- 業界で定評ある使いやすさ: 短時間での結果生成
- トレース、インピーダンス、カップリング、周波数依存の損失を正確にモデリング
- ディスクリット、配線形状および長さ、ドライバ設定に対する様々な値をスイープ
- ターミネータ・ウィザードにより最適な終端戦略を提案
- DDR, DDR2, DDR3向けの統合されたタイミング解析
- 高速なアイ・ダイアグラム解析、Sパラメータ・シミュレーション、BER予測を含む業界トップのSERDESサポート
- 高度で分かりやすいビア・モデリング
- EMCエラーの可能性を早期に見
- 制約編集システム(CES)との統合
- あらゆる主要なPCBレイアウトCADをサポート

HyperLynx SIには、0 Hz から数 GHz までの信号に対するプリ/ポストレイアウト・シグナル・インテグリティ、タイミング、クロストーク、EMC 解析ツールが含まれています。

概要

シグナル・インテグリティ (SI) 解析は、エレクトロニクス製品の設計において重要な要素です。今日のICに見られるエッジレートの高速化により、低い動作周波数のPCB設計においてもハイスピード信号に深刻な影響を与えます。ドライバICのスイッチング速度が高速化すると、ますます多くの基板においてオーバーシュート/アンダーシュート、リングング、グリッチ、クロストーク、各種タイミング問題などの信号劣化が問題となります。信号の劣化が深刻化すると、基板上のロジックの不具合の原因となります。HyperLynxは、ハードウェア設計者、PCB設計者、SIスペシャリストがチームとして使えるツールです。何週間ものトレーニングを受けなくてもシミュレーション結果を得ることができます。HyperLynxは、設計の初回成功、コストのかかる過剰設計の回避、レイアウトの繰り返し、プロトタイプ作製、実験室でのテスト削減を実現するツールです。

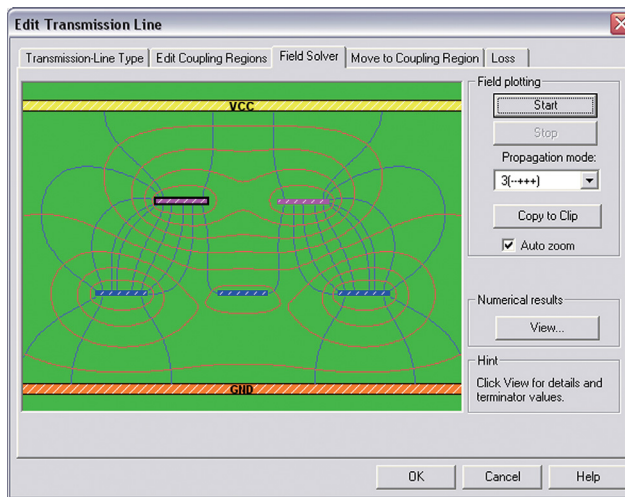
完全なSIおよびEMC解析機能

HyperLynxを使うことにより、設計早期のアーキテクチャ段階からポストレイアウト検証まで、設計サイクル全体を通してハイスピードPCBの諸問題に取り組むことができます。使い方はオシロスコープやスペクトラムアナライザを使うように簡単で、しかも実験に比べてわずかなコストで利用できます。

プリレイアウト解析

プリレイアウト・シミュレーションによりシグナル・インテグリティの問題を予測し、早期解決を図ることができます。これにより、基板のレイアウトに入る前に、前もって配線の制約を設定し、スタックアップを構築し、トポロジやクロックおよび他のクリティカルな信号の終端を最適化することが可能となります。直感的なドラッグ&ドロップによる伝送線路モデリングは、設計を初回で成功させるための理想的なアプローチを提供します。HyperLynx SIにより以下が可能となります。

- IC、伝送線路、ケーブル、コネクタ、受動部品を含む複雑なインターコネクト・シナリオを迅速に定義
- 業界標準のIBISモデル、ならびにHyperLynxの18,000個のモデルICライブラリ、汎用モデルを使って即座にシミュレーションを実行、またはデータブック情報からモデルを構築することも可能
- Visual IBISエディタを使った階層構造の自動シンタックスを含むIBISモデリングのチェック、編集
- HSPICE、Eldo、AMS、Sパラメータ、IBISモデルを自由に組みあわせて利用
- 一から設計を組み立てることも、PCI Express、DDR2、PCI-Xなどのテクノロジー向けデザインキット、または多数のFPGAデザインキットを利用することも可能
- HyperLynx FastEye™の使用により、シリアル・インタフェースBER (Bit Error Rates)、ワーストケース・ビット・シーケンス、アイ・ダイアグラムを数週間ではなく数時間で正確に予測



プリレイアウトのクロストーク解析により、配線間隔、スタックアップ、終端の最適化が可能。

ポストレイアウト検証

ポストレイアウト検証にHyperLynxを使用することで、SIとタイミングを3つの重要なステージ、すなわちPCBレイアウト・システムでの部品配置後、クリティカル・ネットの配線後、基板全体の詳細配線後に解析することができます。

- バッチ・シミュレーションによりPCB全体の多数のネットを自動的にスキャンし、SI、EMCのホットスポットを特定
 - 対話式的解析により、バッチ解析で特定したトラブル領域に対する詳細レベルの解析を実施
 - Quick terminators機能により新しい終端部品をその場で挿入し、リアルタイムに解析を行うことが可能
 - あらゆる配線トポロジおよびIC配置に対して正確にクロストーク波形を予測し、クロストークのしきい値に違反した特定のクロスセクションを基板設計者に提示
 - EBDモデル、コネクタモデルを含む強力で使いやすいマルチボード解析
- DDRxインタフェースによりシステム・タイミングを含むDDR、DDR2、DDR3メモリ・システムの完全な検証が可能

サポートされるPCBレイアウトCAD

- メンター・グラフィックス: PADS® Layout, Expedition™ PCB, Board Station®
- Cadence: Allegro, SPECCTRA, OrCAD Layout
- Altium: Protel, P-CAD
- Intercept Technology: Pantheon
- 図研: CADStar, Visula, CR-5000 Board DesignerおよびPWS

サポートされるプラットフォーム

- Windows™ 2000/XP/Server2003, Linux RHEL 3/4/5, SLES 9/10

Copyright © 2009 Mentor Graphics Corporation.
Mentor Graphics は Mentor Graphics Corporation の登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪 21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>