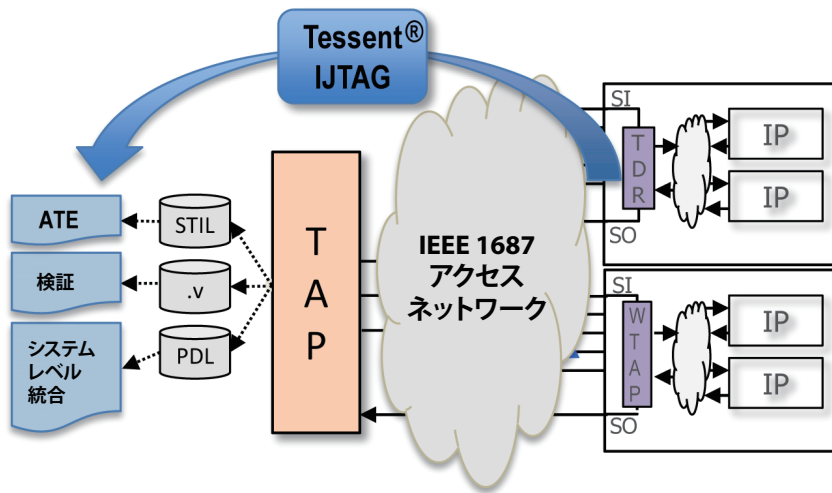


# Tessent IJTAG

IEEE 1687 標準採用の自動化

シリコンテストおよび歩留まり解析

D A T A S H E E T



## IEEE 1687 標準に向けた自動化のサポート

最新の製品設計では、社内だけでなくサードパーティからも多数の IP ブロックを調達して統合する必要があります。メンター・グラフィックスの Tessent® IJTAG ソリューションは、IP テストならびにインストルメントをプラグ & プレイで統合し、IEEE 1687 標準に向けた包括的な自動化フローを提供します。IP プロバイダは標準規格を遵守できるようになり、チップ設計者は IEEE 1687 に準拠した IP をさまざまな調達元から入手し、効率良く設計に統合できます。今日の大規模 SoC (システムオンチップ) に搭載される IP 数の増加に対応するには、Tessent IJTAG の自動化フローが不可欠です。

## IEEE 1687 標準規格の概要

新標準規格の IEEE 1687 は、IP ブロックのインストルメント部分をプラグ & プレイで統合および利用する環境を提供します。インストルメントには、IP 内のテスト、デバッグ、モニタリングといった機能が含まれます。IEEE 1687 標準規格は、インストルメントとのインタフェースおよびインタフェース間の接続に関するハードウェアのルール、これらのインタフェースと接続情報を記述する言語として ICL (Instrument Connectivity Language)、個々の IP ブロックに適用するオペレーションを記述する言語として PDL (Procedural Description Language) を定義しています。

## IP の IEEE 1687 規格準拠の認証

IEEE 1687 規格に準拠すると、IP プロバイダにとって多くのメリットがあります。提供する IP が統合しやすくなるため、より幅広い顧客層の獲得につながるほか、テストやデバッグ機能の強化によって製品の堅牢性を全体的に高めます。Tessent IJTAG を使って、IP 製品が IEEE 1687 規格に準拠しているかどうかを検証できます。この際、IP プロバイダでは孤立した状態での IP について記述した ICL と、IP の利用法を記述した PDL ルーチンを作成する必要があります。

Tessent IJTAG は、シミュレーション用テストベンチを自動生成し、IP の Verilog 記述に対して ICL を検証できます。また PDL ルーチンを Verilog に変換し、自動生成されたシミュレーション用テストベンチを用いて IP の ICL 記述に対して PDL を検証できます。

### 特長

- さまざまな IP プロバイダから調達した組み込み IP を利用可能
- 利用可能な組み込み IP の選択肢を拡大
- IEEE 1687 準拠 IP の統合を加速し、設計期間を短縮
- リンク可能なネットワーク内の IP にアクセスするサイクル数を最小化
- メンター・グラフィックスの Tessent またはサードパーティ製 DFT (テスト容易化設計) ツールで作成した IEEE 1687 準拠 IP に対し、共通の統合フローとアクセスネットワークを提供

### 主な機能

- ゲートレベルまたは RTL のネットリストから、IEEE 1687 ネットワークのデータを検索および抽出
- IEEE 1687 ネットワークの柔軟な作成と挿入
- IEEE 1687 データ構造、属性、パラメータへのアクセスを提供
- IP バウンダリ向けの PDL コマンドを、ICL で記述された IEEE 1687 ネットワーク内の任意箇所へリターゲティング
- PDL 検証のための Verilog テストベンチを生成
- チップレベルの PDL パターンを ATE パターンのフォーマット (STIL、WGL) に変換
- Tessent Shell による高度な内視機能と設計編集機能

## IP の統合と利用

IEEE 1687 標準規格の導入によって、設計者はさまざまな IP ブロックの大規模な設計への堅牢な統合と検証が可能になります。このほかのメリットとしては、BIST (ビルトインセルフテスト) 機能の有効化、テスト結果の観測性、IP レベルのコントロールとアクセスパターンのトップ階層チップへのリターゲティング、テストプランのオンザフライ修正、必要に応じた個々の IP のシリアル/パラレルのテスト実行などがあります。

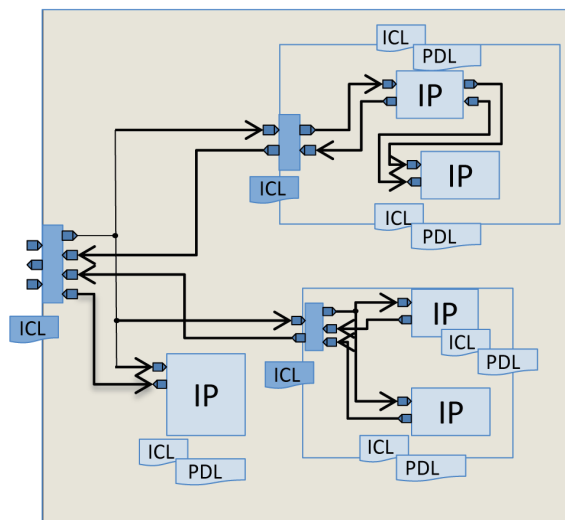
IEEE 1687 標準規格の採用を成功させるためには、包括的な自動化サポートが不可欠です。Tessent IJTAG は、多数の自動化機能を備えています。

### ICL の抽出と検証

Tessent IJTAG は、IEEE 1687 ネットワーク内の IJTAG 準拠 IP ブロック間の接続を、ICL 記述として自動的に抽出します。自動抽出の際に必要なのは、子 IP ブロックの ICL 記述のみです。抽出はどのレベルの階層でも実行できるため、早期段階から検証可能です。また「1687 モード」でブロックやチップを抽出するセットアップ機能も備えています。抽出した記述は、ICL のデザインルールチェック (DRC) 一式に照らして検証します。

### IEEE 1687 ネットワークの挿入

Tessent IJTAG は、IEEE 1687 に準拠する IP すべてに対して、IEEE 1687 ネットワークを柔軟に作成し挿入するフローを提供します。このフローは、ユーザ指定のネットワーク定義に従って順次、IP を自動挿入します。この際、事前に挿入された IEEE 1687 準拠の IP ブロックをマルチパス挿入機能の一環として自動的に検出し保持します。また、IP をカスタマイズする高度な設計編集と内視機能コマンドに対応しており、編集は RTL またはゲートレベルで実行できます。内視機能コマンドを使って、属性やパラメータを含む IEEE 1687 情報にアクセスできます。



IEEE 1687 準拠 IP ネットワーク

### PDL コマンドのリターゲティング

リターゲティング機能は、個別の IP ブロック向けに記述された PDL コマンドを、IEEE 1687 ネットワーク階層の任意のレベルに適用できるように新しい PDL コマンドに変換します。Tessent IJTAG は、複数の IP ブロックの PDL コマンドをリターゲティングおよび統合します。非常に効率的な統合処理によって、リコンフィギュラブルな IEEE 1687 ネットワーク内の IP にアクセスするサイクル数を最小化します。チップのピンにリターゲティングされたコマンドは、さらに ATE 用のテストパターン形式、あるいはシミュレーション用の Verilog にも変換できます。Tessent SiliconInsight<sup>®</sup> は、チップレベルの PDL パターンにも対応しており、対話型のデバッグが可能です。

### Tessent シリコンテストおよび歩留まり解析ソリューション

メンター・グラフィックスの Tessent IJTAG は、業界をリードする最先端シリコンテストおよび歩留まり解析ツールである Tessent スイートの一環となっています。Tessent スイートには、テスト挿入、ATPG (自動テストパターン生成)、オンチップ圧縮、メモリ/ロジック/ミックスシグナルの BIST、シリコンのブリングアップ、診断ドリブンの歩留まり解析を実行する統合ソリューションが含まれています。すべての Tessent ツールは UNIX または Linux 上で利用可能です。

詳しい製品情報は、<http://www.mentorg.co.jp> をご覧ください。

Copyright © 2015 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー  
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21  
電話 (06) 6399-9521

名古屋支店 〒460-0008 愛知県名古屋市中区栄 4 丁目 2 番 29 号 名古屋広小路プレイス  
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>