

Tessent FastScan

先進的自動テストパターン生成



テストバリエーションを解析、デバッグするためのインタフェース

特長:

- フルスキャン・デザインに対する高性能なATPGを提供
- カバレッジやパターン数に影響を与えることなく処理時間を短縮できる分散ATPG機能
- フォルスパス・マルチサイクル・パスによるX伝播の影響を最小化し、テストカバレッジを最大化
- 包括的なデザインルール・チェックによりテストバリエーションの問題を早期に発見
- シミュレーション・ミスマッチの自動デバッグによりテストパターンの検証時間を短縮
- 充実したカスタマ・サポート体制

主な機能:

- 縮退、トランジション、IDDQ、パス遅延およびブリッジを含む幅広い故障モデルのサポート
- オンチップPLLのサポートによる正確なat-speedテスト
- MacroTestオプションにより小規模の組み込みメモリおよびスキャン合成済みコアのテストを自動化
- 階層DFT環境Tessent SoCScanでのシームレスなフロー

業界をリードするATPG

メンター・グラフィックスのTessent™ FastScan™は、幅広い故障モデル、包括的なデザインルール・チェック、詳細なクロッキングのサポート、パターン圧縮に対する革新的なアルゴリズムを特長とした自動テストパターン生成 (ATPG) ソリューションです。Tessent FastScanは、高いカバレッジのテストセットを効率的に生成します。様々な設計フローに対して柔軟に適用できるTessent FastScanは、市場で最も汎用性に優れています。

At-speedテスト

今日の製造プロセスでは、高度なテスト・テクニックを使用しないとテストしきれないタイミング関連の故障が多数発生しています。高品質なテストを実施するには、包括的なat-speedテスト・ソリューションが極めて重要です。Tessent FastScanのat-speedテスト・ソリューションには、トランジション・テスト、N-detectテスト、タイミング考慮テスト、パス遅延テストが含まれます。

トランジション・テストは各ゲートのノード遅延をテストします。Tessent FastScanのクリティカル・パス解析機能は、タイミング解析などで抽出されたデザイン上のクリティカル・パスに発生する遅延故障を検出します。タイミング考慮テストのパターンはトランジション・パターンと似ていますが、SDFタイミング情報を使って最長パスを抽出し、そのパスを活性化するパターンを生成して微小遅延故障を検出します。

Tessent FastScanは、オンチップPLLの使用による正確なat-speedテストをサポートしています。PLLのクロッキング・シーケンスを入力することにより、デザインに含まれる高速クロックを使って正確なat-speedテストを生成することが可能です。

Tessent FastScanは、フォルスパスおよびマルチサイクル・パスによる不定値(X)伝播をインテリジェントに処理することにより、オーバーテストとアンダーテストを最小限に抑えます。

テストパターンの圧縮

Tessent FastScanは、高いカバレッジのコンパクトなテストセットを生成することで知られています。しかし、テスト品質向上に対するニーズの高まりや、at-speedテストパターンが標準的になる中で、テストパターンとデータ量の増大という問題は残ります。テストデータのボリュームがATEの制限を超える問題に対しては、Tessent TestKompress[®] で採用されているEDT (Embedded Deterministic Test) テクノロジーがユニークな解決策を提供します。どちらの製品も効率の高い同一のATPGエンジンを使用しているため、Tessent FastScanからTessent TestKompress (圧縮テスト) への移行は簡単です。

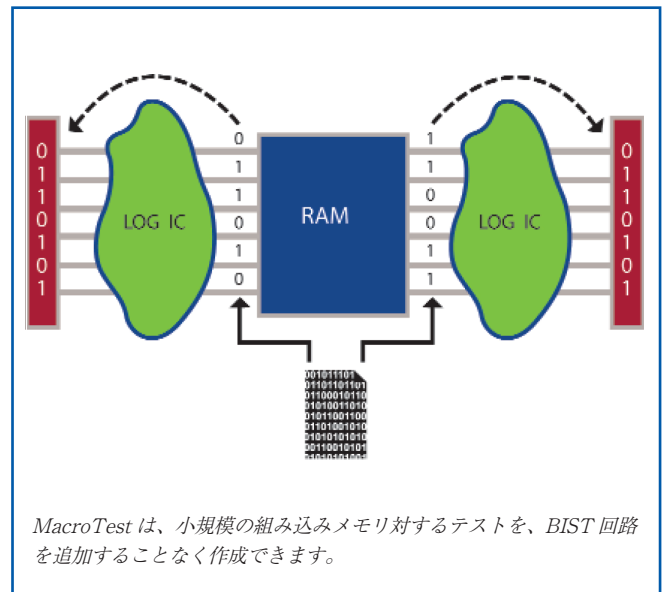
テストバリエーションの解析とデバッグ

Tessent FastScanには視覚的デバッグ・ユーティリティ (DFTVisualizer) がバンドルされており、テストバリエーションの問題を確認、修正することができます。DFTVisualizerは、回路図、設計構造、波形、ライブラリ、データ、階層、その他の様々なビューでデザインを可視化し、問題の確認とトラブルシューティングを助けます。

また、DFTVisualizerの直感的なインターフェースにより、DRC違反へのアクティブなリンクを含むセッション・トランスクリプトの表示、ロジック表示、ファイル編集、レポート・ドキュメンテーション、ゲート位置の確認などを行うことができます。ATPG結果の統計情報レポートでは、テスト不能の故障についての詳細な解析や、分かりやすいカテゴリへの分類などにより、テストカバレッジが低い問題を簡単にデバッグできます。

Tessent SoCScanを使った階層型ロジックテスト戦略

Tessent TestKompressは、Tessent SoCScanと組み合わせて使用することにより、メンター・グラフィックスの自動化された階層テスト合成およびテストパターン生成フローを活用できるようになります。Tessent SoCScanは「Shared Isolation」および「Capture by Domain」テクノロジーを使用することにより、コアレベルのATPGおよびチップレベルのパターン再利用を可能にします。また、Tessent SoCScanはScanBurstテクノロジーへのアクセスを提供し、より高度なトランジション・テスト・カバレッジと、テスト時の消費電力管理を実現しています。



Tessentシリコンテストおよび歩留まり解析ソリューション

Tessent FastScanはメンター・グラフィックスの業界をリードする先端的シリコンテストおよび歩留まり解析ツール群の一部です。Tessent製品ファミリーには、テスト合成、ATPG、オンチップ圧縮、メモリ/ロジック/ミックスシグナル向けビルトイン・セルフテスト (BIST)、シリコン立ち上げ、診断ドリブンの歩留まり解析のための統合されたソリューションが含まれています。

すべてのTessentツールは、一般的なUNIXで利用できます。詳細についてはwww.mentorg.co.jpを参照してください。

Copyright © 2010 Mentor Graphics Corporation. All rights reserved.
Mentor GraphicsはMentor Graphics Corporationの登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>