

# Tessent

シリコンテストおよび歩留まり解析のための包括的ソリューション

Silicon Test and Yield Analysis

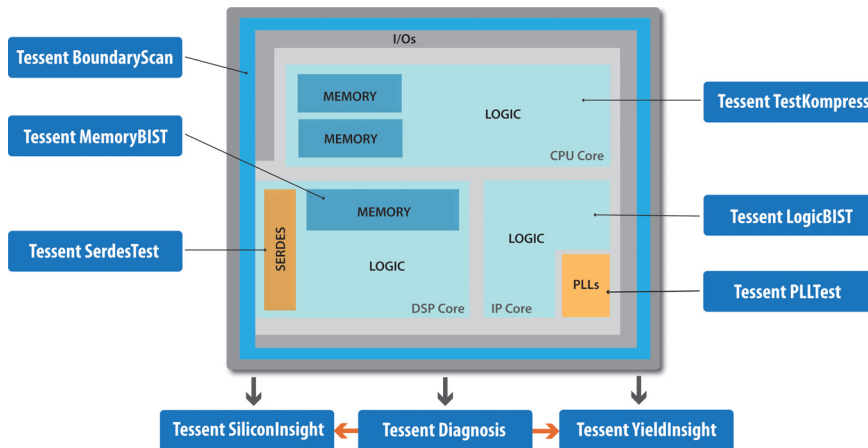
D A T A S H E E T

## 特長:

- ロジック、メモリ、ミックスシグナル、I/O など、SoCコンポーネントをテストするための包括的なソリューションにより、非常に低いDPMを達成
- 診断ドリブンの歩留まり解析ソリューションにより、歩留まり低下の原因特定までの時間とコストを大幅に削減
- シリコンデバッグ・ソリューションは1stシリコンなどの検証/デバッグ・フェーズに対する生産性を向上
- 自動化された階層設計ベースのテストフローにより、設計スケジュールに与える影響を最小限化
- 充実したカスタマ・サポート体制

## 主な機能:

- ウエハテスト、パッケージテスト、バーンインからインシステムおよびフィールドテストにいたるまで、製品ライフサイクル全体を通じたテスト・ソリューションを提供
- 圧縮SCANテスト、ロジックBIST、メモリBIST、バウンダリ・スキャンのためのクラス最高のソリューション
- SerDesおよびPLLのためのユニークな組み込みテストおよびキャラクタライゼーション・ソリューション
- 物理レイアウト・データの使用によりテストおよび歩留まり解析の効率を向上
- テストと歩留まり解析ソリューションとの緊密な統合



Tessent テスト・ソリューションは、大規模化する SoC をあらゆる側面からテストし、高い製品品質と、テストコスト抑制を両立させます。

## 包括的なシリコンテスト・ソリューション

メンター・グラフィックスのTessent™製品ファミリーは、今日のSoCに要求される出荷テスト、シリコンデバッグ、歩留まり立ち上げのための包括的なシリコンテストおよび歩留まり解析プラットフォームを提供します。各テスト項目に対するクラス最高のソリューションに基づいて構築されたTessentは、チップをトータルにカバーする強力なテストフローを提供します。

## 柔軟なテスト・ソリューション

Tessentファミリーは、その柔軟性により、ウエハテストやパッケージテストからバーンイン、インシステムおよびフィールドテストにいたるまで、製品のライフサイクル全体に対して最高品質のテストを適用します。さらに、スキャンテストやBISTテクノロジーの特性を最大限活用し、物理欠陥に関連づけることにより、正確な歩留まり解析を達成します。

## ロジックテスト

SoCのロジック部開発に用いられる最新の設計テクニックは、高品質なシリコンテストの実現に対しては大きな障壁となることがあります。これらの課題に対応するため、メンター・グラフィックスは、ロジックテストに対する業界で最も強力なソリューション、Tessent TestKompres®、Tessent LogicBIST、Tessent FastScan™を提供しています。これらのソリューションは、圧縮SCANおよびベクターレス・アプローチの両方を用いた高品質なテストにより、10年以上にわたり、数千件のテープアウトを成功させてきました。これらを組み合わせることにより、テスト時間とテスト品質の最適化を達成するための最高の柔軟性を提供します。

## メモリテスト

SoC設計に含まれる組み込みメモリの規模は、最近のデザインではチップ面積の半分以上にもなっており、インスタンス数やメモリアーキテクチャの種類も大幅に拡大しています。また、複数のクロックドメインや複数のパワードメインによる複雑性も増えています。Tessent MemoryBISTは、RTLまたはゲートレベルでデザインを自動解析し、必要なBISTコントローラ数の判定を行い、シーケンシャルまたはコンカレント・テスト向けにBISTコントローラとメモリをグループ化します。設計者は、メモリのテスト・アルゴリズムをハードウェア化するか、ポストシリコンでソフトウェア・プログラミングするか、を選択できます。

歩留まりを大幅に向上する上で最も効果的な方法の1つは、救済メモリとオンチップ・ヒューズによるメモリリペアです。Tessent MemoryBISTは、一般的なメモリ救済方式で利用可能なメモリリペア機能を提供しています。

## バウンダリ・スキャン

Tessent BoundaryScanはバウンダリ・スキャンテストおよびチップI/Oテストのための完全なソリューションであり、バウンダリ・スキャンチェーンおよびコントロール・ロジック (TAPC) の合成と挿入を行います。また、チップ間インターコネクットのテストと診断にも利用できます。Tessent BoundaryScanは、IEEE1149.1ならびに1149.6バウンダリ・スキャン挿入のための完全に自動化されたソリューションを提供します。また、I/Oの非接触テストのための1149.1ベースのソリューションも提供しています。

## ミックスシグナル・テスト

Tessentミックスシグナル・ソリューションは、PLL、DLL、ギガビット級SerDesのためのパラメトリック組み込みテストを実現します。これらのソリューションでは、波形、各種ジッタ、その他の重要なパフォーマンス・パラメータを測定できます。10GHz以上で動作する多くの実デザインで実証されている、特許取得済みのULTRA (Unlimited Time-Resolution Analysis) テクノロジーに基づいています。

## SoCテスト設計

Tessent SoCScanは、階層ベースのテスト・インフラストラクチャをRTLまたはゲートレベルのネットリストに簡単に挿入するための包括的なSoCテスト設計フローを提供します。このインフラストラクチャには、圧縮SCANやすべてのタイプのBISTのサポートも含まれています。これらのリソースには、チップレベルではIEEE 1149.1ベー

スのTAPを、各コアのパウンダリではIEEE 1500コアテスト・インタフェースを使って階層的にアクセスします。

フローには、ATPGおよびBISTのためのデザインルール・チェック、テストIPのワンステップ合成および挿入、あらゆるテストパターン・タイプの自動生成が含まれています。

## シリコンデバッグとキャラクタライゼーション

Tessent SiliconInsight<sup>®</sup> は、TessentによるBIST機能が挿入されたデバイスに対するテストおよびシリコン立ち上げにかかる時間を短縮します。このソフトウェアは、ATEおよびベンチトップ環境に対応した対話型の実験、デバッグ、キャラクタライゼーション機能を提供します。

## 診断ドリブン歩留まり解析

新製品の立ち上げ時期においては、歩留まりが低い根本原因を特定するのに数週間、数ヶ月かかる場合があります。Tessent YieldInsight<sup>™</sup>は、高度な統計的解析およびデータマイニングにより、Tessent Diagnosisの自動診断機能を補完します。出荷テストの結果と設計データを活用し、ICメーカーは物理的の不良解析を実施する前に、システムチックな欠陥を特定できます。これにより、歩留まり低下の原因を特定するまでの時間を大幅に短縮し、従来の方法では検出されないままになってしまう恐れのある歩留まり阻害要因を特定できます。

## Tessentシリコンテストおよび歩留まり解析ソリューション

すべてのTessentツールは、一般的なUNIXで利用できます。詳細については[www.mentorg.co.jp](http://www.mentorg.co.jp)を参照してください。

## Tessent製品ファミリー

### ロジックテスト

Tessent TestKompress  
Tessent LogicBIST  
Tessent SoCScan  
Tessent FastScan  
Tessent BoundaryScan

### ミックスシグナル・テスト

Tessent SerdesTest  
Tessent PLLTest

### シリコン歩留まり解析

Tessent SiliconInsight  
Tessent YieldInsight  
Tessent Diagnosis

### メモリテスト

Tessent MemoryBIST

Copyright © 2010 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。  
その他記載されている製品名および会社名は各社の商標または登録商標です。  
製品の仕様は予告なく変更されることがありますのでご了承ください。

**メンター・グラフィックス・ジャパン株式会社** 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>