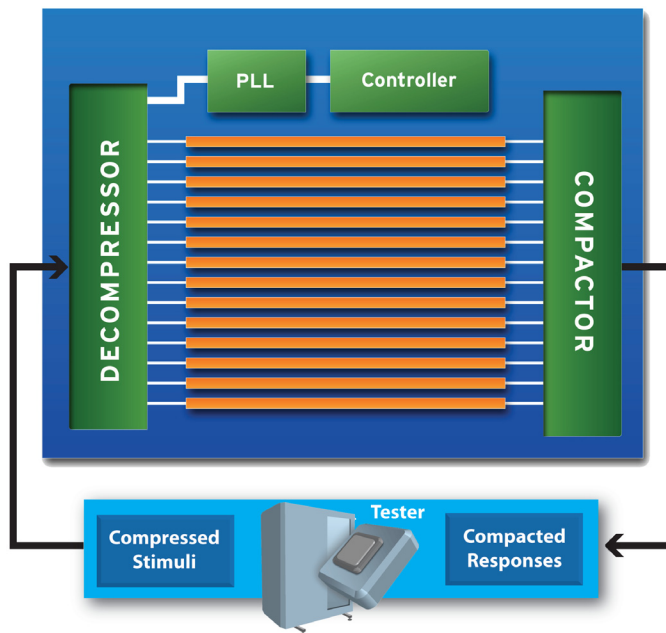


Tessent TestKompress

組み込み圧縮 ATPG

Silicon Test and Yield Analysis
D A T A S H E E T



Tessent TestKompress は EDT 技術により、最高レベルのテスト品質と、100 倍以上のパターン圧縮を実現します。

業界をリードするスキャンテスト・ツール

メンター・グラフィックスの業界をリードする自動テストパターン生成 (ATPG) ソリューションである Tessent™ TestKompress® は、最高品質のスキャンテストを最小のコストで提供します。Tessent TestKompress のベースとなっているのは、徹底したシリコンテストに必要なあらゆる故障モデルを適用することが可能な、業界で実証済みの ATPG エンジンです。

テスト時間の短縮

Tessent TestKompress に搭載された特許取得済みの EDT (Embedded Deterministic Test) 技術は、テストカバレッジを損なうことなく、テスト時間の短縮とテストデータ量の削減の両方を可能にします。ユーザ・ロジックのアーキテクチャを問わずに安定した圧縮レベルを達成できるのは、Xバウンディング、テストポイント、その他のユーザ・ロジックに対する変更を全く行わずに、効果的な X のマスキングが行えるためです。

EDT-IP の主要な構成要素 (デコンプレッサとコンパクタ) はスキャンパスの一部であるだけなので、ユーザ・ロジックのタイミング・クロージャには影響を及ぼしません。EDT-IP はあらゆる設計フローで生成可能であり、合成ツールにも依存しません。SoC のトップ階層に追加することも、あるいは各モジュールに配置した構成 (Modular EDT) で使用することも可能です。

先端設計で最高のカバレッジ

Tessent TestKompress は業界で実証済みの故障モデルを使用し、活性化が非常に難しい欠陥でも検出できます。スタティックな故障に対する標準的なスタックアット故障モデル、遅延故障を見つけるためのトランジション故障やモデルなどに加えて、ブリッジやオープンなどの高度な故障モデルもサポートしています。また、PLL クロックを使用した正確な at-speed テストや、「launch-off-shift」、「launch-off-capture」テストパターンもサポートしています。

主な特長:

- スキャンベースのパターンを使ったデジタル・ロジックの徹底したテスト
- テスト時間およびデータ量を 1/100 以下に削減
- 高性能 ATPG および分散処理による高速なパターン生成
- 充実したカスタマー・サポート体制

主な機能:

- スタックアット、トランジション、パス遅延、ブリッジなどを含む幅広い故障モデルにより徹底したシリコンテストを実施
- 少ピンテスト (最小 1 スキャン・チャネル) をサポート
- ユーザ・フレンドリなデバッグ環境による迅速なトラブル・シューティング
- 故障診断および歩留まり解析ツール、Tessent Diagnosis および Tessent YieldInsight との緊密な統合
- 階層フロー対応スキャン合成ツール Tessent SoCScan との統合フロー
- 受賞歴のある技術: Electronic Products 誌の 2001 年度「Product of the Year」アワード、Test & Measurement World 誌の 2002 年度「Best-in-Test」アワード、IEEE の 2006 年度「Donald O. Pederson Best Paper」アワード、Test & Measurement World 誌の 2009 年度「Test of Time」ファイナリスト

Tessent TestKompressは、ブリッジ故障をターゲットとするいくつかのオプションを用意しています。Multiple detect/N-detectパターンは、ランダムパターンを数多く投入することによりブリッジ故障の検出率を向上させます。さらにEMD (Embedded Multiple Detect) 技術の導入により、パターン数を増やすことなくN-detectを実現します。ブリッジ故障モデルはレイアウト・フィーチャー依存のブリッジ故障をターゲットとし、その候補はCalibre nmLVSにより物理レイアウトから抽出できます。また、タイミング考慮のATPGはトランジション故障モデルベースで、クリティカルパスのテストが可能です。

Tessent TestKompressのXマスキング機能は、テストカバレッジを維持したままユーザ・ロジックにおけるX発生源への対応を可能にします。フォルス・パスおよびマルチサイクル・パスは、at-speedテストにおいて主要なX発生源になります。Xマスキング機能は、SDCファイルを読み取り、必要に応じてマスキングを行うことにより、高いテストカバレッジと圧縮率を維持します。

また、Named Capture Procedureにより、オンチップPLLを使った正確なat-speedテスト用のクロックパルス生成をサポートします。

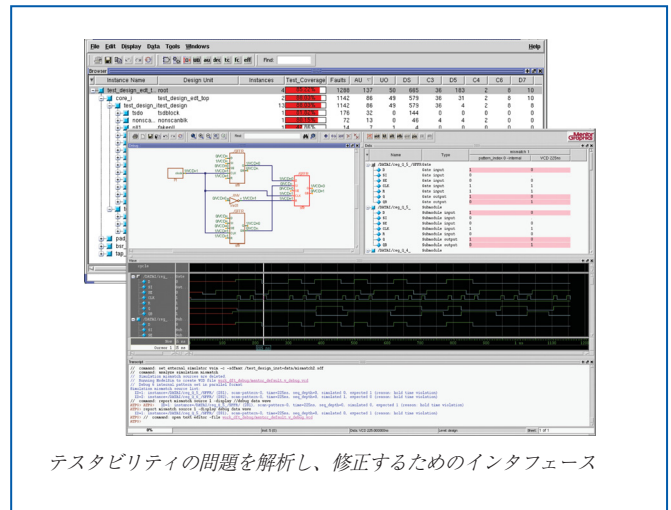
テストピンおよびチップI/Oピンのより効率的な利用

Tessent TestKompressから生成された圧縮パターンは、一般的なATPGと同様、テストで使用できますが、テストデータ量が非常に少ないことからテスト時間も短縮されます。スキャンチャンネルが1本でもテストできるので、配線や外部I/Oの問題を大幅に軽減することも可能です。デュアルEDTコンフィギュレーション機能は、1つのEDT-IPで異種テストをサポートする柔軟性を提供します。これはピン数が少ないテストやマルチサイト・テストなど、出荷テストフローにおいて特に便利な機能です。

テスト容易性の解析とデバッグ

Tessent TestKompressにはGUIベースのデバッグ・ユーティリティ (DFTVisualizer) がバンドルされており、テストバリエーションを解析、修正できます。DFTVisualizerは、回路スキーマティック、プリミティブ・セルレベル、テストパターン波形、ライブラリ、階層、その他の様々なビューで回路構造を表示し、ATPG時のトラブル・シューティングを助けます。

また、DFTVisualizerの直感的なユーザ・インタフェースにより、設計ルール違反の内容を迅速に確認し、問題のある回路部分もしくは設定ファイルを表示し、その場で必要な対策を講じることができるツールのトランスクリプトを表示します。ATPG結果の統計情報レポートでは、



テストバリエーションの問題を解析し、修正するためのインタフェース

検出不能の故障についての詳細な解析や、分かりやすいカテゴリへの分類などにより、テストカバレッジが低いときでも簡単にデバッグできます。

Tessent SoCScanを使った階層スキャン設計

Tessent TestKompressは、Tessent SoCScanと組み合わせて使用することにより、メンター・グラフィックスの自動化された階層テスト合成およびテストパターン生成フローを活用します。Tessent SoCScanは、「Shared Isolation」および「Capture by Domain」テクノロジーの使用により、コアレベルのATPGおよびチップレベルのパターン再利用を可能にしています。また、Tessent SoCScanはScanBurstテクノロジーへのアクセスを提供し、より高度なトランジション・テストカバレッジおよび優れた消費電力管理を実現します。

Tessentシリコンテストおよび歩留まり解析ソリューション

Tessent TestKompressは、メンター・グラフィックスの業界をリードする先端シリコンテストおよび歩留まり解析ツール群の一部です。Tessent製品群にはテスト合成、ATPG、オンチップ圧縮、メモリ/ロジック/ミックスシグナル向けビルトイン・セルフテスト (BIST)、シリコン立ち上げ、診断ドリブンの歩留まり解析のための統合されたソリューションが含まれています。すべてのTessentツールは、UNIXならびにLinuxで利用できます。

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.
Mentor Graphics は Mentor Graphics Corporation の登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>