

# Tanner AMS IC 設計フロー



アナログ/ミックスシグナル (AMS) IC 設計のエンドツーエンドの設計フロー

## AMS IC のフルフロー設計ソリューション

Tanner AMS IC 設計フローは、アナログ/ミックスシグナル (AMS) IC 設計のためのエンドツーエンドの包括的な設計フローです。このフローには、回路図入力から、ミックスシグナルシミュレーション、波形プロービング、物理レイアウト、ファウンドリ互換の物理検証に至るまで、フロントエンドとバックエンドの各種ツールが高度に統合されています。フロー内のすべてのツールで使用するアーキテクチャとユーザインタフェースは共通化されています。

これらのツールは 1 つにまとまったスイート製品を構成し、業界で一般的に使われている数多くのツールや業界標準ネットリストとの相互運用が可能です。また、ファウンドリ実証済みの PDK など、ファウンドリのサポートによりリスクを最小限に抑えています。操作が直観的で使いやすいこれらのツールは Windows 版および Linux 版で提供しており、プラットフォームに依存することなく柔軟に導入できます。

### 機能と特長

- 包括的なフルフローの AMS IC 設計スイート製品
- OpenAccess、LEF/DEF、Liberty、SDF の各フォーマットをサポート
- ビヘイビアモデル、ブロックレベル RTL、ゲートおよびトランジスタレベルのブロックなどさまざまな抽象レベルのネットリストをミックスしたシミュレーション
- System Verilog、Verilog、Verilog-AMS、Verilog-A、VHDL によるデバッグおよび高度な検証
- トップダウンのミックスシグナルコシミュレーション
- 実績ある互換性の高い、DFT 対応の合成機能
- 高速タイミング解析
- インタラクティブ/リアルタイム DRC 機能付き全角度対応のレイアウトエディタ
- Calibre® と互換性のある、階層 DRC およびネットリスト抽出機能
- AMS 設計向けの生産的な配置配線機能
- PDK に対応した RTL-to-GDSII フロー
- Windows および Linux の両方に対応 (プラットフォームに依存しない)
- 直観的ですがすぐに操作習得可能な使いやすさ
- 高品質のカスタマサポート
- 柔軟なライセンス形態

Tanner AMS IC 設計フロー	
回路図入力	✓
波形エディタ	✓
Spice シミュレーション	✓
ビヘイビアモデリング	✓
ミックスシグナル解析	✓
デジタル RTL シミュレーション	✓
レイアウトエディタ	✓
インタラクティブまたはリアルタイムの DRC	✓
ノードハイライト	✓
パッドクロスリファレンスの抽出	✓
スキマティックドリブンレイアウト (SDL)	✓
チップ実装ルータ	✓
アナログレイアウトの加速	✓
デザインルールチェック (DRC) および LVS	✓
2D 寄生抽出	✓
3D 寄生抽出	✓
Calibre インタフェース	✓
標準セルの配置配線	✓
合成	✓
静的タイミング解析	✓
DFT (Design For Test: テスト容易化設計)	✓
自動テストパターン生成 (ATPG)	✓

詳しい製品情報は、<http://www.mentorg.co.jp/tannereda> をご覧ください。

Copyright © 2015 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

## メンター・グラフィックス・ジャパン株式会社

本 社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー  
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21  
電話 (06) 6399-9521

名古屋支店 〒460-0003 愛知県名古屋市中区錦 1 丁目 11 番 11 号 名古屋インターシティ 11F  
電話 (052) 204-2010

URL <http://www.mentorg.co.jp>