

本社

〒140-0001
東京都品川区北品川4丁目7番35号
御殿山ガーデン
営業代表 : (03)5488-3030

大阪支店

〒532-0004
大阪市淀川区西宮原2丁目1番3号
SORA新大阪21
代表 : (06)6399-9521

名古屋支店

〒460-0008 名古屋市中区栄4丁目2番29号
名古屋広小路プレイス 9階
代表 : (052)249-2101

WEB SITE

メンター・グラフィックス・ジャパン :
<http://www.mentor.co.jp>
メンター・グラフィックス米国本社 :
<http://www.mentor.com>

サポート・ホットライン

ウェブフォーム : [http://www.mentor.com/
supportnet_ja/newsr.html](http://www.mentor.com/supportnet_ja/newsr.html)
フリーダイヤル : 0120-11-2572
(受付時間9:15 ~ 17:30 土日祝日を除く)
電子メール : support_jp@mentor.com

* ウェブフォーム受付はその場でシステムに登録される
ので迅速、確実です。
* お問合せの際はサイトID、カテゴリ、プロダクト名をお
知らせください。
* お問合せフォームなど、詳細は下記ページでご案内し
ています。

[http://www.mentor.com/japan/
support_center.html](http://www.mentor.com/japan/support_center.html)

「News and Views」の送付中止、
宛先の変更は
下記編集部までご連絡ください。

TEL : (03)5488-3035
FAX : (03)5488-3032
E-mail : mktg_mgj@mentor.com
Web : [http://www.mentor.co.jp
/info/index.html](http://www.mentor.co.jp/info/index.html)

News and Views

Winter 2006 Vol.23

発行日 2006年1月31日(季刊)
発行人 メンター・グラフィックス・ジャパン株式会社
編集人 News and Views 編集部
東京都品川区北品川4丁目7番35号
御殿山ガーデン
(コーポレート・マーケティング部内)
TEL : (03)5488-3035
E-mail : mktg_mgj@mentor.com

* Mentor Graphicsはメンター・グラフィックス・
コーポレーションの登録商標です。
* 記載されている製品名および会社名は各社
の商標または登録商標です。

Design Environment

[FEATURE] PCB-FPGA System Design

エレクトロニクス設計の環境を分類する

[Success Story]

Tower Semiconductor社のCalibre xRC寄生抽出デザインキット開発
メンターのサポートで問題解決

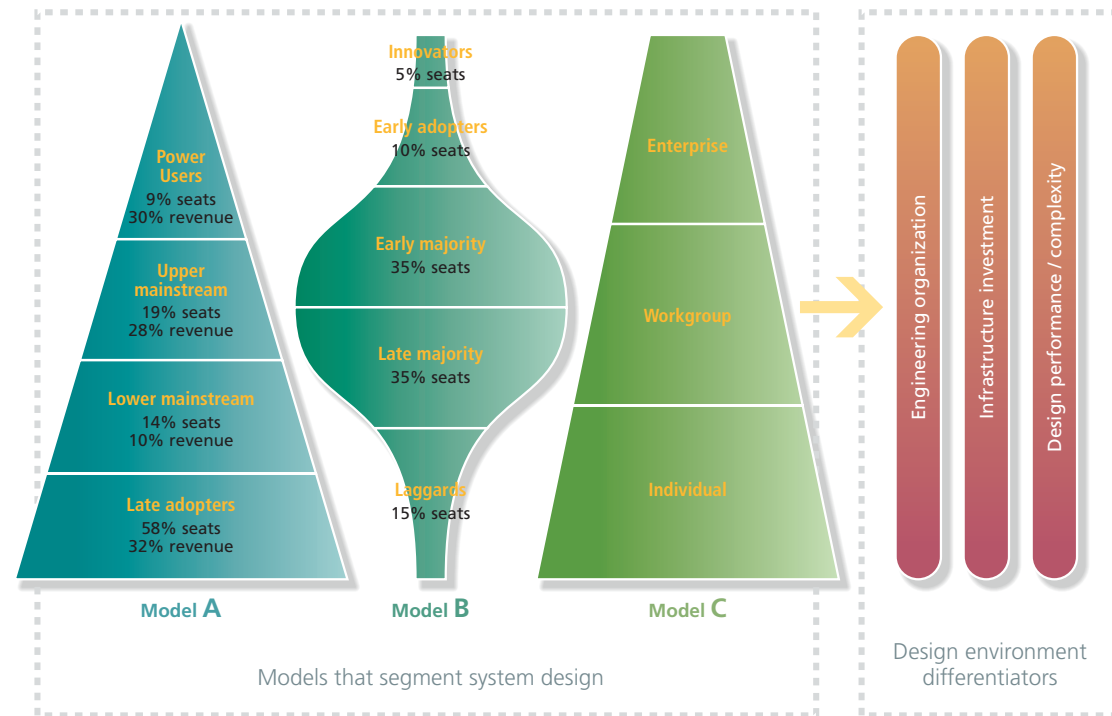


図1

[FEATURE] PCB-FPGA System Design

エレクトロニクス設計の環境を分類する

エレクトロニクス設計組織を定義するためのモデルは数多くあります。PCB分野でよく使われているのはDataquest社のFPGA/PCBピラミッド・モデルです。ここでは設計者をPower User、Mainstream、Late Adopterに分類しています。問題なのは、ほとんどの設計者は日々の設計業務で直面している課題の大きさから、自らをPower Userに分類することです。Power Userの対極にあるのがLate Adopterですが、これに自分が属するとは誰もが考えたくないためです。しかし、企業のインフラ、設計分野の広さ、テクノロジーの複雑さ、組織構造といった側面から設計者を分類することには意味があります。今回は、設計者の置かれた環境に応じて行うべきトレードオフと環境を活用することの価値について解説します。

セグメントと分類

Dataquestの調査によるシート数と売上のパークセンテージは、図1のModel Aに示されています。また、Geoffrey Moore氏の“Technology adoption life cycle”モデルがModel Bで、セグメント分けはほぼDataquestのピラミッド・モデルと対応しています。企業と設計チームのサイズに基づいた一般的なモデルはModel Cに示されています。これら全てのモデルで共通していることは一般に、上の方は少ないシート数でシートあたりの投資額が多く、下の方はその反対であるということです。これらのモデルは全て、1つの中心的な特性(設計環境)に関連したものであり、開発組織、インフラ投資、設計の複雑性、という3つの要素を使って全ての設計環境を区別することができます。

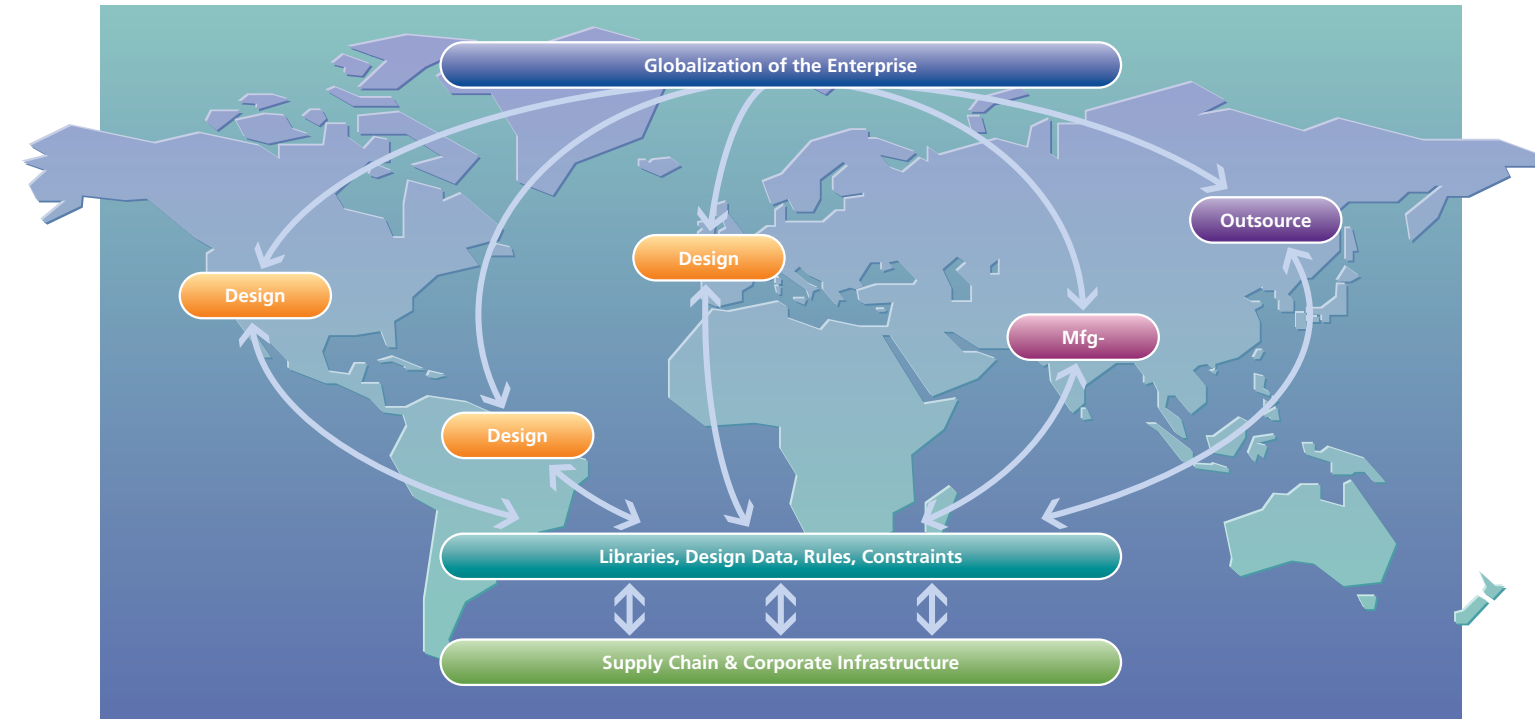


図2:グローバル企業

開発組織

環境を分類する要因で一番大きなものは設計者が属する組織です。設計者自身はどこで働いても変わりませんが、働いている開発組織の規模によって、大きな利点をもたらされる場合もあります。例えば、1ヶ所にまとめた開発チームでは直接的なコミュニケーションが促進されますが、緊急の設計案件などで時差を活用し連携して仕上げるといったことはできません。一方、複数サイトに展開する組織(図2)では設計の品質と設計者の生産性を上げるために、ライブラリとプロセスの一貫性を確立することに大きな努力を要します。(図2)

これらのことを考える上で重要なのが設計チームのサイズです。スペクトルの一番端には、全てを自分でやってしまう驚くべき才能の人達がいます。ロジックを設計し、ボードをレイアウトし、シグナル・インテグリティと製造のための検証を行い、ライブラリとデータの管理も行います。果ては自分でPCB用のFPGAを作成し、スーパーマン級の人は組み込みソフトウェアを設計し筐体まで設計します。彼らは非常に数多く

のツールを使うため「ジェネラリスト」と呼ばれることもあります。彼らは「パワーユーザー」の概念を再定義する存在だとも言えるでしょう。この場合の利点は、設計者自身がオーナーであることが多いため、自らルールを作り、必要であればそれを破り、ツール購入の決断も自分で行えるということです。

スペクトルの反対側にいるのは製品分野に特化した、レイアウト設計者、設計エンジニア、機械設計者、ライブラリ管理者、RF / アナログ / デジタル設計者、高速回路エンジニアといったスペシャリストです。彼らは生産性を最大化するためのあらゆる近道、問題の回避策を知っており、仕事を遂行するために設計技術と設計ツールを活用する苦勞を厭いません。彼らもまた別の意味で「パワーユーザー」と言えます。通常、これらのスペシャリストを拡大したものがスペシャリスト・チームで、従来の設計エンジニアとレイアウト設計者の組み合わせの他に、同じ回路図を作成する複数のエンジニア、または同じレイアウトで作業する複数の設計者、という場合もあります。

つまり、一方には幅広い設計分野およびツールをカバーする「ジェネラリスト」がいて、その対

極には限られた設計分野とツールセットに集中する「スペシャリスト」が存在します。ジェネラリストは非常に幅広いツールを扱わねばならないため、各ツールの使用モデルの一貫性、統合性、全体的な使いやすさをスペシャリストよりも重視する傾向にあります。

現在、大規模な開発組織は企業や部門の合併、統合の結果であることがよくあります。また、幅広い顧客を持つ大規模な設計外注企業(EMS、ODM等)も同様の組織が存在します。彼らはほとんどの場合複数のツールフローを管理しており、設計チームのIP(ライブラリ、ツール技術、プロセス、製造出力自動化、企業レベル統合)再利用を促進するためには、高度に整備されたライブラリ、設計データ、プロセス管理が必要となります。その上、大規模な設計チームは生産性を最大化するために設計された複数のハードウェアおよびOSプラットフォームを管理しなければなりません。

インフラへの投資

複数サイトを展開するグローバルな開発組織ではインフラに多大な投資を行っていることは驚くにあたりません。個人や小規模なチームは



ツール付属の標準ライブラリを活用する場合がありますが、大規模な組織では自社の標準に合わせてカスタマイズした統一ライブラリに投資します。これら両方のタイプの組織をサポートすることを目的として、回路図シンボル、フットプリント、シミュレーション・モデル、パラメトリック・データ、基板外形やスタックアップ等ほとんどの設計要素に対する業界標準ライブラリが構築されています。しかし、大規模な組織はこれらの業界標準リソースを活用しつつも、プロセスの一貫性を保証し、IPを保護するために独自のカスタム・ライブラリを維持し続けています。

インフラに関するもう一つの側面に、サポートチームの存在があります。大規模な組織では通常専任のCAD / ITチームが存在し、設計チームに対する主要なサポートおよびトレーニングを行います。このチームは設計チームと外界の間の「ファイアウォール」として機能し、組織内に一貫した環境を構築します。開発チームの環境の一貫性と品質に及ぼす影響から、サポートチームは新しいソフトウェア・リリースの適用には非常に慎重です。CADチームはまた、企業の特定の製品に合わせて設計チームのパフォーマンスを最大化するためにカスタムのプロセス、ツール、インタフェース等の開発も行います。大規模な企業では部品選択等の標準機能を財務部門で一元管理することにより、購買力の活用も行います。これには、財務システムとの統合も必要になります。

小規模な組織にはこのようなサポート・インフラを構築するリソースが存在しません。そのため、製品を買ったそのままの状態で使用することが多くなります。ここで、RTUK Ready to Use という言葉が生まれました。専任のリソースがないため、インストール、ライセンス設定、立ち上げは簡単であることが期待されます。し

かし大規模な組織にこれが必要ないということではありません。彼らは前述の利点、例えばカスタマイズといった要素とのトレードオフを考慮しているのです。小規模な組織は通常ソフトウェアをカスタマイズすることはしないばかりか、製品のトレーニングに時間とお金を費やすことさえ望んでいません。この場合、生産性が発揮されるまでにかかる時間を考慮した上で、最終的にはよりコスト効率の良い方をトレードオフにより選択しているのです。EDAはこれらの組織のニーズに対応するため、製品付属のオンライン・チュートリアルやウェブベースのライブまたは録画済みトレーニング、ウェブベースのサポートの仕組みなどを用意しています。

設計の複雑性

ここまで、設計チームの分類を分ける大きな要素は組織とインフラであるということを説明してきました。ここから話をはじめたのは、ほとんどの人が差別化要因は設計の複雑性であると考えているからです。現実には、複雑な基板を設計する能力は組織の大きさに直接比例しません。しかし、トレードオフはどこにでも生じます。

最終製品の複雑性が増すにつれ、設計を完成するのに必要なツールとプロセスも複雑になりました。シンプルなツールの使いやすさを賞賛してきた設計者も、現在は先端ツールの機能を取り入れる必要に迫られています。マイクロピコ / HDI 構造や製造可能性の考慮、小型化する筐体などに対応するためには、多くの制約条件を定義し、それに従う必要があります。また、制約が守られているかどうか検証するためにシミュレーションが必要となり、一貫性のある設計手順を適用するためによりタイトなプロセスの管理が必要となります。さらに、サプライチェーンの活用により最新の部品やシミュレーションに

アクセスすることも必要です。そのためにはリソースへの投資が必要ですが、それがこのような設計を行える企業の規模を制限しています。Early adoptersは本来、競争力維持のため新しい技術に最大限投資します。ここでも、最終的にはリソースと設計の複雑性というシンプルなトレードオフに行き着きます。

この投資に関するもう一つの側面として、馬力の問題があります。つまり、超高速の並列CPUであるとか、ハイエンドなソフトウェアによる自動化といった側面です。個人でもパワーユーザー設計者で、かつ対話設計でツールの機能を最大限に発揮させるためのあらゆる方法を知っている人はいるでしょう。しかし今日の複雑な設計に対しては、馬力がものを言います。

結論

設計者とその働く環境を分類するのは簡単ではありません。そしてPCB設計者はラベルを貼られて区分されるのを好みません。とはいえ、設計者のタイプはその属する組織、インフラに対するニーズ、設計に要求されるパフォーマンスによって異なるのです。

実際、どの区分に設計者が分類され、どのようなラベルを貼られるかによって異なりますが、彼らが達成する競争力はそれぞれのトレードオフの結果です。使いやすさと設計の複雑性、予算と最新技術、あるいはカスタマイズ性と学習の簡単さ等がそれらのトレードオフの例です。最終的には、自分の属する環境を活用し、必要なトレードオフを行うということが非常に重要になります。

David Wiens
Director of Business Development
System Design Division
Mentor Graphics Corporation



Tower Semiconductor社のCalibre xRC寄生抽出デザインキット開発 メンターのサポートで問題解決

Tower Semiconductor社では、Calibre xRC寄生抽出デザインキットの検証で予期せぬ状態が発生した時、メンター・グラフィックスのサポート担当者からのアドバイスにより問題を解決し、デザインキットを修正することができました。今回のサクセス・ストーリーは、この事例をご紹介します。

デザインキット開発の概要

Tower Semiconductor社の PDK(Process Design Kit)グループは同社の戦略的市場向けのIP開発を専門に行っています。ここではCalibre Interactive(メンター・グラフィックスのCalibre物理検証および寄生抽出ツールのグラフィカル・インタフェース)を使ってTowerのプロセス・データに基づいた寄生抽出デザインキットを作成しています。これらのデザインキットはTowerのIC製造テクノロジーに準拠したルール・ファイル等を提供することにより、Towerの工場で製造されたICが最高の品質と性能を発揮することを保証します。抽出結果はRaphaelフィールド・ソルバーならびにテストチップを使ってテストされ、その精度が検証されます。

デザインキットにはランセットが含まれます。ラ

ンセットとは、Calibre Interactiveで使用するテンプレートのことで、IC設計者が簡単に使えるように正しいルール・ファイル、実行ディレクトリ、その他の必要な情報をあらかじめ設定しておいたファイルです。例えばファブレス半導体メーカーに対してCalibreランセットをデザインキットの一部として提供することにより、彼らは正しい抽出ネットリストを生成できるようになり、ICの設計フローがシンプルになります。要するにランセットとは、ランセット保存時にCalibre Interactiveのユーザー・インタフェース上に表示されていたデータの記録です。ランセットをロードすることにより保存された設定内容がインタフェース上に読み込まれ、セットアップが簡単に行えます。ランセットを使用することにより、物理検証や寄生抽出を行う際に起こりやすい問題を回避することができます。

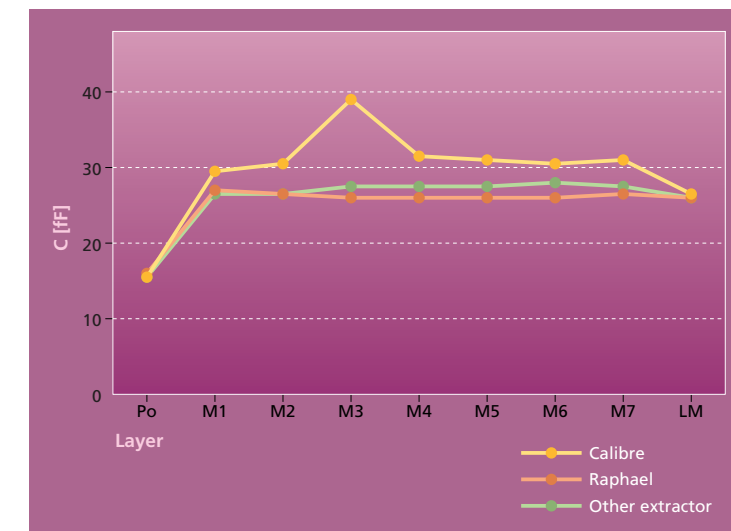
Calibre xRCの結果をRaphaelと比較

Towerで行っている寄生抽出デザインキットの徹底したテストには2つの段階があります。ステージ1では、Calibre xRCを使って簡単な構造に対する抽出を行い、結果をRaphaelで作成されたキャパシタンス・テーブルと比較します。キャパシタンス・テーブルは断面方向のあらゆるレイヤーの組み合わせに対し、様々な配線幅と間隔に対する容量値を表したものです。ステージ2では、テストチップ上の回路に対し容量抽出を行い、データを検証します。

予期せぬ状態の発生

VLSIエンジニアであるErez Sarig氏とCADエンジニアであるEzra Cohen-Yashar氏は、最も高精度なデザインキットを作成するために完成された寄生抽出フローを開発しなければなりませんでしたが、ステージ1のテストを行っている際に予期せぬ状態が発生しました。Calibre xRCを使って容量抽出を行い、Raphaelの結果と比較しようとする、Calibre xRCの抽出結果がなぜかRaphaelデータと合わないのです。テスト結果は、Calibre xRCを使って抽出したデータが全てのレイヤーに対してキャパシタンス・テーブル値より高い容量値を示していました

図1: Calibreの抽出結果とRaphaelのキャパシタンス・テーブルとの不一致

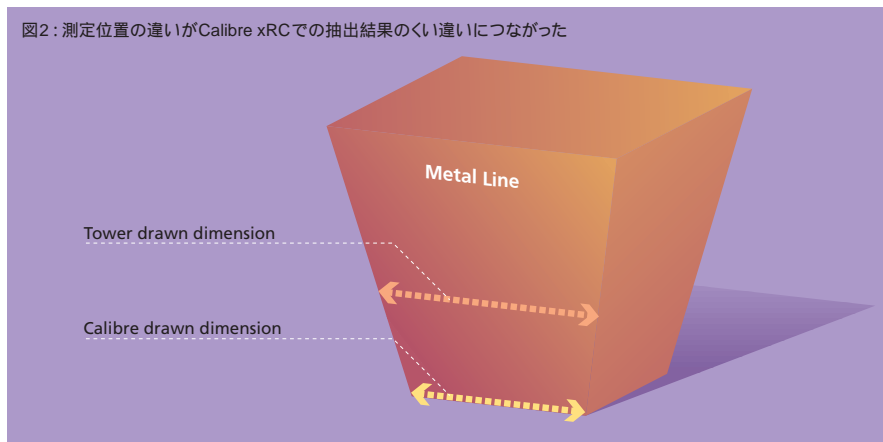


(図1) このまま設計フローに適用してしまうと、ICのパフォーマンスに問題が起こる、あるいは製造後のICの不具合により、製造上余計な工数が必要となる恐れがあります。

メンター・グラフィックスの カスタマー・サポートからのアドバイス

Sarig氏は、なぜ抽出結果がRaphaelデータと一致しないのかその理由を突き止めることができませんでした。Sarig氏とCohen-Yashar氏は、メンター・グラフィックスのサポート部門にアドバイスを求め、状況をメンター・イスラエルのZiv Kasherとメンター・UKのSenior Product SpecialistであるMark Allisonに説明しました。KasherとAllisonは、台形構造を持つメタル配線の幅寸法を、Calibre xRCが下底の長さに設定しているのに対し、Towerでは台形形状のより高い位置の幅で計算している(図2)ためだと特定しました。この配線幅のくい違いにより、Calibre xRCの抽出結果が合わなかったのです。彼らはSarig氏とCohen-Yashar氏に対し、Calibre xRCのBias機能を使用することでこの2つの配線幅の違いを吸収できる、とアドバイスしました。

配線幅の補正が行われると、Calibreの抽出結果はキャパシタンス・テーブル値と比較して各段に正確な値となりました(図3)。Calibreの結果とRaphaelからのデータとの誤差は、わずか3%程度と非常に小さいものでした。しかし、テ



ストを行った他の抽出ツールでは値の違いはかなり大きなものでした。

Ziv KasherとMark Allison、そしてメンター・グラフィックスのカスタマー・サポートからの支援を得て、TowerはCalibre xRCの抽出データがRaphaelのキャパシタンス・テーブルと正確に一致すると確信が持てました。この結果はSarig氏とCohen-Yashar氏にとって喜ばしいものでした。なぜならばCalibre xRCを用いた寄生抽出デザインキットの完成に大きく近づいたからです。

テストチップを使った抽出結果の検証

寄生抽出デザインキットの精度を検証するステージ2では、実際のテストチップの結果と比較

します。テストチップ上に形成されたいくつかのテスト用の構造に対し容量の測定を行い、可能であればさらにRaphaelによるシミュレーションが実行されます。次に、寄生抽出を行い、ステージ1でRaphaelから得られたキャパシタンス・テーブルとの比較を行いました。また、テストチップから得られた測定データが、キャパシタンス・テーブルのデータと比較した場合、測定精度あるいはプロセス変動により若干のばらつきがある可能性も考慮されました。

Sarig氏とCohen-Yashar氏は、Calibre xRCの寄生抽出結果が、テストチップから得られた測定値と比較して、全体として3%程度という許容できる誤差範囲内に十分に収まっていることに満足しました。しかし、他の寄生抽出ツールでは

シリコン測定値と比較した場合、各段に大きな差異が存在し、Towerの顧客にデザインキットとして提供するには不十分であることがわかりました(図4)。

結論

これらのテストを終え、Sarig氏とCohen-Yashar氏は、ほぼ4ヶ月にも及ぶ開発の結果、Towerが寄生抽出のための完成された信頼性の高いフローを構築し、Calibre xRCを使った精度の高い寄生抽出デザインキットを作成でき

た、と自信を持って明言しました。Calibreの抽出結果はシリコンの測定結果と高い精度で一致し、Towerの品質保証プロセスにおいてCalibre xRCデザインキットに不備があった場合にも、必ず修正できることが確認されました。これらのテストの成功により、Calibre xRCがTower Semiconductorの顧客に寄生抽出デザインキットを提供するに足るツールであることが確認され、Towerの顧客はTowerのデザインキットを使って最高品質の集積回路を製造できることが保証されます。

Support Information <http://www.mentor.com/japan/>

SupportNet日本語検索の上手な使い方

SupportNetで検索を行う際に、より迅速で的確な結果を得る方法の一つとして、お探しの技術情報のタイプを絞り込む検索オプションがご利用いただけます。『情報のタイプ』オプションは、『製品選択』オプションと組み合わせることもできます。

日本語の技術情報は現在約5000件登録されており、今後も随時追加されていきます。この機会に是非SupportNet日本語検索をお試しください。

「ハウツーとチュートリアル」で簡単に製品の使い方が学べます

弊社製品をより早く学習していただくために、SupportNetでは「ハウツーとチュートリアル」を提供しています。ハウツーは短いアニメーションで製品の使用方法を説明し、チュートリアルは長めのアニメーションで一連の工程をご紹介します。現在、PCBシステムのConstraint Editor System (CES)の日本語版チュートリアルがご利用いただける他、英語版ページではAMS、Calibre、HDL (HDL Designer Series)、PCBシステム、システム環境等がご利用いただけます。

「ハウツーとチュートリアル」へのアクセスは、日本語SupportNetへログイン後、ページ右側のナビゲーション・メニューから「ハウツーとチュートリアル」を選択してください。

SupportNetにはすべてのユーザー様をご登録ください

SupportNetのユーザー・アカウントは、御社の複数のお客様にご登録いただくことができます。SupportNetでは、技術情報の検索機能の他、最新リリースのダウンロードの機能などを提供しています。ご登録の際は、お客様の情報(サイトID、アルファベットの氏名、電子メールアドレス、電話番号)を弊社サポート・ホットライン support_jp@mentor.com 宛てにお送りいただくか、または、以下のページをご参照の上ご登録ください。

URL: <http://www.mentor.com/japan/signup.html>

Corporate Data

Tower Semiconductor 社

Tower Semiconductor, Ltd.は 1.0から0.13ミクロン・プロセスの集積回路を製造する独立系のウエハ・ファウンドリです。Towerは不揮発性メモリ製造等の専門のプロセス技術の提供、CMOSイメージ・センサの開発、ミックスシグナルRFソリューションの開発等を行っています。また、製造技術サービスやIC設計サポートも提供しています。

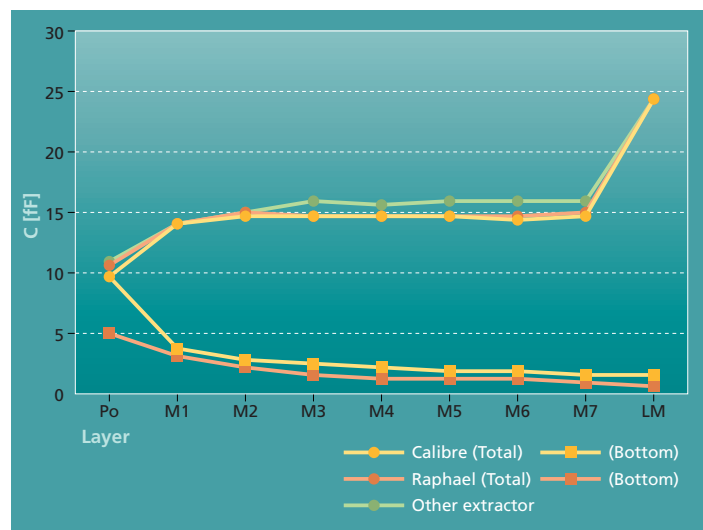
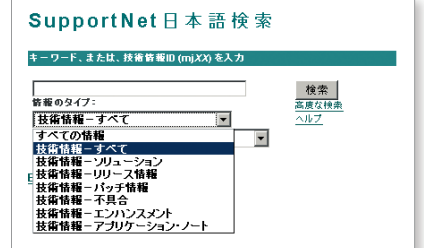


図3: 推奨されたBias調整を実施した後のCalibre xRCの抽出結果とRaphaelキャパシタンス・テーブルとの比較



図4: Calibre xRCの寄生抽出結果とテストチップからの測定データの比較