

Autumn

2007 Vol.24

News and Views

Providing Leading Electronic Design Automation Solutions

Mentor
Graphics®

[FEATURE-1] FPGA Design

最前線FPGA設計に必要とされる

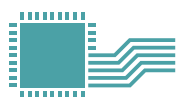
パフォーマンスと生産性の改善

[FEATURE-2] Analog/Mixed Signal Verification

先端LSI設計における

信頼性シミュレーション





[FEATURE-1] FPGA Design

最前線FPGA設計に必要とされる パフォーマンスと生産性の改善

FPGAアーキテクチャの複雑化が進むにつれ、設計プロセスもより難しくなっています。設計者が現在取り組まねばならないFPGA設計では、高速シリアル通信、DSP機能、大規模メモリなど、多数の様々なブロックが単一のデバイスに組み込まれています。このような機能の拡大は、タイミング収束達成の困難を招き、合成、シミュレーション、配置配線の処理時間も長くなります。設計の繰り返しには必ず代償が伴い、プロジェクトの遅延と開発コストの増大につながります。

メンター・グラフィックスのPrecision RTL PlusはFPGA設計向けに技術開発されており、以下を特長としています。

設計パフォーマンスの改善

FPGAアーキテクチャに含まれる特殊用途リソースを効率的に管理
合成と配置配線の実行時間を短縮
設計内の変更されていない部分のパフォーマンス維持
タイミング収束達成のための環境と設計デバッグ機能

設計パフォーマンスの改善

従来の物理合成技術では、優れた結果品質 (QoR) 達成のためには配置配線の長い繰り返し工程が必要でした。最近の配線を中心としたアプローチでは処理時間とデバイス・サポートの制限が問題となっており、一方配置後の処理を中心とした物理合成アプローチでは限られたQoR改善しか達成できません。これらの問題に対応するには、統計的タイミング解析の概念に基づき、ユニークかつ革新的で、配置配線前の物理設計を考慮した合成が必要です。このアプローチでは、昨今の物理合成に匹敵するQoRを達成すると同時に、幅広いベンダおよびデバイスに対応することができます。

FPGAも刻々と、より微細なジオメトリに移行する中、配線遅延はタイミングに対してこれまでに深刻な影響を与えています。RTL合成とそれに続く配置配線では短期間でのタイミング収束を保証できなくなっています。合成エンジンは論理の配置と配線を認識しないため、限られ

た情報の範囲内でしか最適化が行えません。そのため、配置配線に長い処理時間をかけることでユーザーのタイミング制約の達成を試みなければならないという結果になりました。今日のほとんどの設計では、1回のパスでタイミング収束を達成することは困難です。その結果、ユーザーはこの工程を複数回繰り返して制約の微調整や論理のコーディング変更を行い、また合成や配置配線のオプションを活用し、様々な組み合わせを試みることで目標を達成する必要がありました。このようなアプローチは小規模設計には適用可能ですが、より大規模で複雑な設計においてはスケジュールに大きな影響を及ぼします。

従来の合成

従来の合成に対するアプローチは、配置配線からのフィードバックをほとんど使用せずに設計をコンパイルし、合成するものでした。この手法は設計に対して様々な合成最適化を行うもので、セル遅延が配線遅延より大きい従来のFPGAアーキテクチャに対しては有効でした。また、当時は設計も現在に比べはるかにシンプルであったため、良好な結果を得るには従来型のワイヤロード・モデルで十分だったのです。しかし設計の複雑性が高まり、ノードサイズの微細化が進む中で、従来からの合成アプローチはもはや不十分です。タイミングの修正が大きな問題となり、また結果品質についても同様です。FPGAベンダが提供する物理合成ツールは配置配線ツールから得られた実際のタイミングや配置データを利用できるという利点があります。これらの合成ツールはこの情報を利用して論理の最適化を行い、これを配置配線ツールにフィードバックします。これによりQoRは改善しますが、このアプローチではタイミング収束を短時間で達成することが困難になります。各パスで配置配線処理が必要とされるため、複雑な設計では24～36時間以上もかかる場合があります。

物理合成

EDAベンダの立場からは、あらゆるFPGAベンダの物理的なデバイス情報を入手し、対応する物理合成(その当時の形態での)を実装することが困難になりつつありました。ベンダ非依存

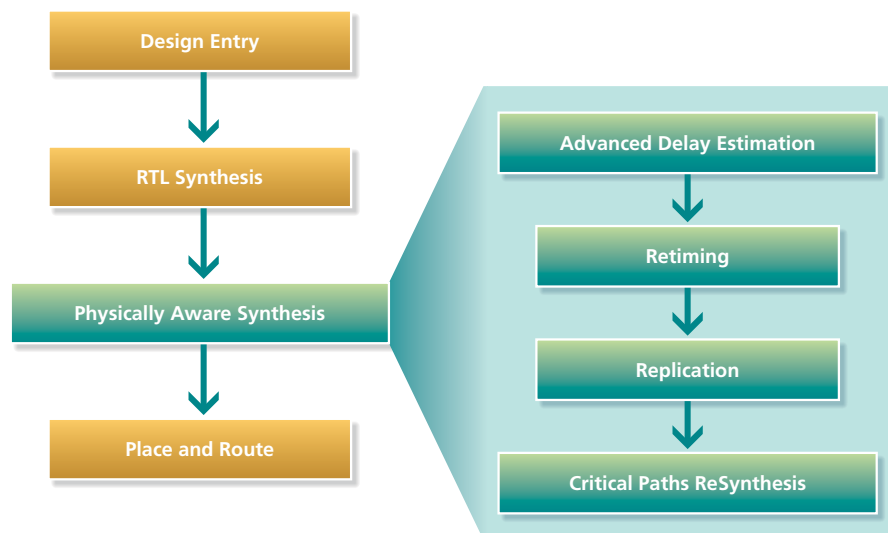


図1

のツールは限られた数のデバイスやベンダしかサポートできなかったのです。これは、各設計に対して最小(そして必要最低な速度の)FPGAを最も有利な価格で提供してくれるベンダから利用したいと考えているエンドユーザーにとって問題でした。

上記のように利用の限られた純粋な物理合成アプローチを回避するため様々な代替案が試みられましたが、成果は限定されていました。その1つである配置を中心としたフローは、簡単な配置パスを実行して配置を決め、その配置に基づいて合成を行うというものでしたが、確実な配線予測を行うことができなかったため、合成段階で優れた結果を生成しても、配線段階でそれをすべて捨てるようなことになりがちでした。また、配線を中心としたフローは純粋な物理合成のように完全な配置配線パスを実行するものでしたが、前述したように配線サイクルのコストがかかること、デバイス・サポートが限定されていることという2つの主な問題が障害となりました。設計者がかなり面倒な計画を行わなければならないためフロアプランニングは効率的ではなく、しかも実装工程では元のプランが大幅に変更される結果になることがしばしばありました。

Physically-Aware合成

Physically-Aware合成を成功させるには、合成エンジンが設計の物理的側面(パッキング・ルール、配置、配線など)を理解しているこ

とだけでなく、タイミング収束のための工数削減が不可欠です。メンター・グラフィックスのPrecision RTL Plusで採用されているPhysically-Aware合成技術は、チップ全体の物理レイアウトに対して、統計的タイミング解析の概念を適用することにより、簡単な遅延予測のパスを実行します。この解析段階で、配置やパッキング・ルールを含めた物理レイアウトのハイレベル・ビューは常に維持されます。この高度な遅延予測に基づいて、クリティカル・パスに対するリタイミングや複製、再合成等の物理合成テクニックが適用されます。この工程により配置配線に適したネットリストが生成され、合成と配置配線間の繰り返しを最小限に抑えられます。また、ここで採用されている再合成の技術も面積使用率の増大を抑えるのに役立っています。そしてこれらの様々な利点を、シンプルで使いやすいプッシュボタン方式の合成実行により実現することができます。エンドユーザーはごく標準的な(必須な)タイミング制約を指定するだけで、この物理設計を考慮した合成で最高の結果を得ることができます。(図1)

Precision RTL PlusではFPGAの物理レイアウトに関する深い知識を必要とせず、主要なFPGAベンダのデバイスすべてにおいて、面積使用率に与える影響を最小限に抑えながら優れたQoRとタイミング収束の短縮が可能です。設計の繰り返しも大幅に削減でき、大きな設計期間短縮につながります。

インクリメンタル設計フロー

FPGA設計プロセスには元々繰り返しが伴い
がちな面があり、設計規模の拡大と複雑性の高
まりはこの状況をますます深刻にしています。設
計者は設計プロセスの様々な段階で、機能上、
パフォーマンス上の問題に直面します。1つの部
分で機能上の不具合やタイミング違反を修正す
ることにより、設計の別の部分で問題が生じて
しまうこともあります。このような修正により何
度も設計の繰り返しが発生し、設計プロセスの
収束をコントロールすることは困難です。

この問題を解決すべく、FPGA設計ツールを
提供する多くの企業がパーティション(ブロック)
ベースのインクリメンタルな設計フローを提供
しています。パーティショニングにより設計変更
の影響を受けない論理ブロックのパフォーマン
スを維持できるだろうと期待されてのことでした。

このアプローチでは、設計者は設計プロセ
スの早い段階でパーティショニングを行い、各
ブロックにパーティショニング制約を設定する
ことが必要とされます。これらの制約はその後
の設計プロセスを通して適用され、設計プロ
ックを分離しておくのに使用されます。このプロ
セスに従うことで、処理時間の改善やブロック
毎のパフォーマンスの維持が可能になります。

デバッグや部分的な再構成のためのアプリ
ケーションには、このようなパーティション・ベ
ースのインクリメンタル・フローが必要であり、効
果的でもありますが、この手法に伴う限界のため
に、多くの設計者がパーティション・ベースの
インクリメンタル設計フローを採用するまでには
至っていません。その結果、処理時間の改善や
パフォーマンスの維持などの効果は現実のもの
となっていません。

パーティション・ベースの インクリメンタル合成の限界

パーティション・ベースのインクリメンタル設
計の問題の1つは、ユーザーが事前にパーティ
ションの数と大きさを決め、適切なパーティシ
ョン制約を設定しなければならない、という点で
しょう。合成と配置配線はデフォルトではブロック

境界を越えた設計最適化を行うため、パーティ
ショニングが必要となります。パーティションを
適切に管理することなく境界を越えた最適化を
実行すると、ブロックがインクリメンタルに更新
された場合に期待通りに設計結果を維持するこ
とができない恐れがあります。

パーティション・ベースのインクリメンタル設計
を効率的に実施するには、設計エラーがブロッ
クレベルの局所的なものである必要があります
(ブロック境界を越えたエラーは複数ブロックの
変更を必要とします)。しかしながら、通常の設
計デバッグ・サイクルでは、FPGAデバイスを中
間的なバージョンでプログラミングして設計に
内在する問題を洗い出し、小さな変更を行って
から新しい設計でデバイスを再度プログラミング
する、という作業が行われます。タイミングや
機能に関する問題が、設計のどこに現れるかは
事前に予測できません。問題がどこで発生する
かわからない、という問題が最適なパーティシ
ョン作成の妨げとなります。

2番目の問題は、パーティション後の設計で
境界を越えた最適化が行われないことによるパ
フォーマンス(タイミングと面積)の限界です。タ
イミングを収束させ、1つのデバイスに設計を
収めることは難しい作業である場合が多く、パ
フォーマンスが得られないことでこの問題はま
すます悪化します。

パーティショニングを使わない インクリメンタル更新の必要性

FPGAユーザーは設計プロセスが比較的簡単
であり、短い設計サイクルで簡単に目標パフォー
マンスを達成できることを期待しています。パー
ティション・ベースのインクリメンタル設計フロー
には人手による作業が多く、QoRも低下する傾
向にあるため、広く受け入れられるに至って
いません。

Precision RTL Plusには、パーティション・
ベースのインクリメンタル設計フローがもたら
す利点のすべてを、人手によるパーティショ
ニングを行わずに実現できるインクリメンタル設計ソ
リューションがあります。ユーザーが行うべき人
手が必要な事前作業は何もありません。合成と
配置配線ツールは設計変更を自動的に判断し、

前回のインプリメンテーションに基づいて設計
をできるだけ維持しようします。また、Precision
RTL Plusでは設計者がパーティション・ベ
ースのフローを使用するか、自動化されたインク
リメンタル設計フローを使用するかを柔軟に選択
することも可能です。

Precision RTL Plusの柔軟なインクリメン
タル設計フローは以下の機能を備えています：

タイムスタンプではなくパース・ツリー比較に基
づいて実際の設計変更を認識し、間違った更
新を防止。コメントやスペース、インデントの追
加等の変更は自動的にフィルタリング処理
インクリメンタル設計フローでは境界を超え
た最適化を適切に行うことにより高い結果品
質を維持

ユーザー定義の属性セットを必要とせずに
本当の設計変更を自動的に認識
ネットリストのオブジェクト名を維持すること
により、配置配線ツールでの名前のマッチ
ングが可能。合成ツールから出力されるネッ
トリストは、配置配線ツールでインスタンスレ
ベルの更新を行うことが可能
ユーザーが簡単にパーティションを指定し、
必要な制約を作成するための機能
ベンダが必要とする、適切なプロパティを備
えた単一あるいは複数のネットリストを作成
する機能

これらの機能により、配置配線ツールは必要
なロジック、配置、配線のみをインクリメンタル
に更新することができるのです。その結果、これ
らの機能により合成と配置配線ツールは柔軟か
つ完全なインクリメンタル設計ソリューションを
実現することができ、設計繰り返し数を削減し、
1回の繰り返しにかかる時間を短縮することが
可能になります。

続きは下記のウェブサイトにてご参照
ください。
www.mentorg.co.jp/NV2007-Oct/



[FEATURE-2]
Analog/Mixed Signal Verification

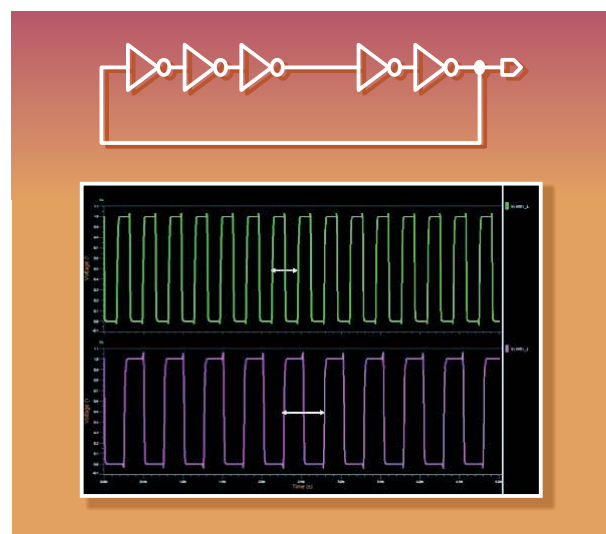


図1:リングオシレータの回路図と信頼性シミュレーションの結果

先端LSI設計における 信頼性シミュレーション

コンシューマ向けエレクトロニクス機器メーカーが直面する課題の一つに、LSI回路が製品の耐用期間を通じて正しく動作するかどうかの問題があります。近年、CMOS技術はディープサブミクロン領域に入り、新たな信頼性上の課題が生じています。NBTI(負バイアス温度不安定性)はナノスケールのPMOSTランジスタにおいて、信頼性に対する主要な懸念点です。さらに、ナノスケールのNMOSTランジスタにおいてはHCI(ホットキャリア注入)が主要な信頼性上の問題となっています。本稿では、NECエレクトロニクス株式会社がランジスタの劣化に対する一連の予測モデル、ならびにHCIやNBTIを含む代表的なシリコン固有の損耗メカニズムに対応した故障等価回路モデルを開発した手法について解説します。これらの課題に対し、新しいSPICE信頼性シミュレーション手法を提案し、その実験結果の一部をここに紹介します。

信頼性シミュレーション

信頼性シミュレーションは、HCIやNBTIによる経年劣化をSPICEシミュレータを使って調査するものです。その目的は、製品が最初に使われ始めてから保証期限まで、正しい回路動作を保証することにあります。この信頼性シミュレーションではいくつかの条件を考慮しました。まず、劣化の影響は個別のランジスタそれぞれにおいて異なっているため、均一な劣化モデル

で推定することができません。我々は、ランジスタの劣化を個別のランジスタそれぞれの動作によって予測し、また数十年後の波形を確認する必要があります。「10年後、クロック波形パターンが劣化するとすれば、どの程度劣化するのか?」または、「長い期間が経過した後でもクロックは正しくフリップフロップをトグルすることができるか?」などの問いに答えることができればなりません。これには回路が正しく動作していることを立証する機能が必要です。また、

最も劣化の激しいランジスタを特定できること、最後に重要な条件として、自社独自の劣化モデルを使って検査できる必要がありました。汎用の劣化モデルでは、我々が期待する劣化推定を行うことが出来なかったからです。

我々はいくつかのSPICEシミュレーションからこれらの機能条件を満たすものを探し、メンター・グラフィックスのEldoシミュレータを採用することに決定しました。Eldoシミュレーションを採用した主な理由は、弊社独自の劣化モデルを使うことが可能だったためです。

図1はリングオシレータ回路に対する信頼性シミュレーション結果の例です。テストの目的から、劣化率は意図的に高く設定しています。その結果、劣化前、劣化後の波形を得られることが簡単に確認できました。このリングオシレータの例では、発振周波数は約3GHzから約2GHzまで劣化しました。信頼性シミュレーションを実行することで、以下の効果が期待できます。

結果を波形として確認できるため、結果が満足のいくものであるか視覚的にチェックできる。各ランジスタの劣化は、各ランジスタの動作の違いとして考慮することができる。そのため、現実に近い結果を得ることが可能。

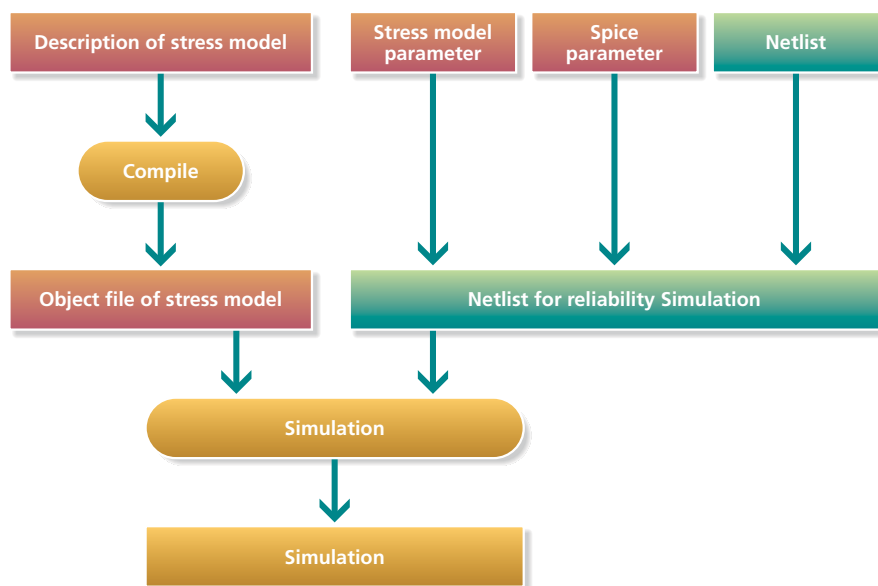


図2：信頼性シミュレーション処理フロー

どのトランジスタの劣化が進んでいるか特定が可能であり、そのため回路変更・調整が簡単。

環境のセットアップ

信頼性シミュレーションのための環境はEldo UDRM (User Defined Reliability Model) を使って作成されました。UDRMの特長は以下の通りです。

Eldoに対するダイナミックなリンクとして使用可能。

物理解析の結果や実験結果から、C言語を使って自由に劣化モデルを作成できる。

Eldo UDRM APIは、以下のパラメータに対するリード/ライト機能を提供しています。

各インスタンスのトランジスタ・パラメータ (W, L等)

ユーザー定義の応力パラメータ

グローバル変数 温度、シミュレーション時間等)

SPICEモデル・パラメータ (VTH0, U0等)

これらのアクセス関数を使うことで、処理を簡単に記述することが可能です。例えば経年劣化モデルは、トランジスタの動作条件に基づいて選択されます。

信頼性シミュレーションの手順は、まず、経年劣化を全く考慮しないシミュレーションを行います。ここでは、定義済みで文書化されている応

力モデルと、過渡解析の結果を用いてトランジスタが影響を受ける応力の量を計算します。この計算された応力量結果に基づいて、SPICEモデル・パラメータの経年劣化を考慮するように更新します。その後、今度は更新されたSPICEモデルおよびパラメータを使ってシミュレーションを再度実行します。このSPICEモデルを使ったシミュレーションの新しい手法に基づいて、プロセスをさらに細分化することができます。解析には、2-ステップ・フローとN-ステップ・フローを準備しました。

2-ステップ・フロー

2-ステップ・フローは極めて単純です。まず、元のトランジスタを使ったシミュレーションを実行します。この場合トランジスタには何らのバイアスも応力も適用されないため、ここでの結果が比較の基準となります。この基本シミュレーションが終了すると、全てのトランジスタについて、それぞれ受けた損耗の度合いに基づいて応力が計算されます。その後これらのモデルをトランジスタに適用し、シミュレーションを再度実行します。この2番目のステップにより、経年劣化シミュレーションの結果が得られます。

N-ステップ・フロー

各ステップの内容は2ステップ・フローと同じです。ただ、ターゲットとなる劣化期間 (Tage)

はより短い間隔でTiに分割されます。ここでは以下の式を利用します。

$$Tage = Ti \quad (i=1 \text{ to } N)$$

応力の計算が各インターバルの最後に更新されてから新たなシミュレーションが実行されます。この処理をt=Tageまで繰り返します。N-ステップ・フローは繰り返し計算を必要とするため高い精度を達成できますが、2-ステップ・フローよりかなり遅くなります。

次に処理手法について説明します。まず応力モデルはC言語で記述され、その後記述をコンパイルします。このオブジェクト・ファイルが

信頼性シミュレーションのライブラリとなります。その後、信頼性シミュレーションのための記述をネットリストに追加し、そしてネットリストとライブラリを選択することで、信頼性シミュレーションを実行することができます (図2)。

シミュレーション結果は波形として確認できるため、メジャーメント機能も使用できます。リングオシレータの例では、特定期間の出力に対するメジャーメント機能を指定し、N-ステップ・フローを実行することで、各ステップで所望の結果が出力されます。また、信頼性シミュレーションにより更新されるSPICEパラメータも確認可能で、これらのシミュレーション結果から、最も劣化の激しいトランジスタを特定することが出来ます。また、劣化によるパフォーマンスへの影響が最も大きい部分は回路のどの部分であるか特定することが可能で、さらに、原因を解析し、特性劣化を最小化するために回路の詳細な検証を行います。

NECエレクトロニクス株式会社

袖 美樹子 様 (システムASIC事業部)

村井 正宣 様 (SoC信頼性品質管理部)

関口 亨 様 (アドバンストASIC事業部)

加藤 一郎 様 (先端デバイス開発部)

横川 慎二 様 (先端デバイス開発部)

©Extension Media (2007). All rights reserved.

この記事は2007年6・7月のExtension Media[®] Chip Design Magazine[®]に掲載された内容を要約したものです。記事の全文は下記のウェブサイトにてご参照ください。

www.mentorg.co.jp/NV2007-Oct/

SupportNet Information <http://supportnet.mentor.com/japan/>

SupportNetの使い方ガイドが新しくなりました

『SupportNetの主な機能の使用方法』では日本語SupportNetを使用する上でのノウハウや使い方のコツをご紹介します。SupportNetのアカウントをまだお持ちでないお客様もアクセスすることができますので、以下のURLより是非ご参照ください。(9月に内容が更新されました。)

http://supportnet.mentor.com/user_jp/upload/SupportNet_Redesign_Ja.pdf

The image shows a screenshot of the Japanese SupportNet website. The top navigation bar includes links for '製品情報', 'ソリューション', 'サポート', and 'トレーニングサービス'. The main content area features a '初めてご利用になる場合' (First-time user) section with a 'サポート' (Support) button highlighted in orange. Below this, there is a 'SupportNetの主な機能の使用方法' (How to use the main features of SupportNet) link. To the right, there is a 'アカウントをお持ちのお客様' (Existing account) section with fields for 'ユーザー名' (Username) and 'パスワード' (Password). A callout box on the right side of the screenshot contains the following text:

**SupportNet ~ 新しいデザイン
主な機能の使用方法について**
<http://supportnet.mentor.com/japan>

メンター・グラフィックス・ジャパン株式会社
カスタマ・サポート部

Award Winner 2007
The Year's Ten Best Web Support Sites

ここをクリックすると
右のページが開きます

SupportNetの技術情報検索をご活用ください

日本語SupportNetの検索エンジンはInquira searchを使用しています。検索語のステミング(語幹解釈)をサポートしているため、単語の語尾が異なる場合でもヒットしやすくなっています。検索時は、短いフレーズや短文を指定してください。さらに、SupportNet検索では「検索オプション」を指定することにより、検索範囲を変更したり、情報タイプの絞込みを行うことができます。詳細は、上のトピックでご紹介している『SupportNetの主な機能の使用方法』をご参照ください。

[SupportNet検索](#)

http://supportnet.mentor.com/search_jp/advanced.cfm

SupportNetには是非すべてのユーザー様をご登録ください

SupportNetのユーザ・アカウントは、ユーザー各社様内の複数のお客様にご登録いただくことができます。SupportNetでは、技術情報の検索機能の他、最新リリースのダウンロードの機能などをご提供しております。ご登録は、SupportNetトップページより「ユーザ登録」をクリックするか、または以下のページにアクセスしてください。

[SupportNetユーザー登録](#)

http://supportnet.mentor.com/user_jp/register.cfm



メンター・グラフィックス・ジャパン株式会社

本社

〒140-0001
東京都品川区北品川4丁目7番35号
御殿山ガーデン
営業代表：(03)5488-3030

大阪支店

〒532-0004
大阪市淀川区西宮原2丁目1番3号
SORA新大阪21
代表：(06)6399-9521

名古屋支店

〒460-0008
名古屋市中区栄4丁目2番29号
名古屋広小路ブレイス
代表：(052)249-2101

ホームページ

メンター・グラフィックス・ジャパン：
www.mentorg.co.jp
メンター・グラフィックス米国本社：
www.mentor.com

サポート・センター

オンライン新規問い合わせ：
http://supportnet.mentor.com/servicerequests_jp/
フリーダイヤル：0120-11-2572
(受付時間9:15 ~ 17:30 土日祝日を除く)

- * オンラインの場合はその場でシステムに登録されますので迅速、確実です。
- * フリーダイヤルの場合はサイトID、プロダクト名等をお知らせください。
- * 詳しくは以下のページでご案内しております。

http://supportnet.mentor.com/contacts_jp/japan

「News and Views」の送付中止、
宛先の変更は
下記編集部までご連絡ください。

TEL : (03)5488-3035
FAX : (03)5488-3032
E-mail : mktg_mgj@mentor.com
Web site : [www.mentorg.co.jp /info/](http://www.mentorg.co.jp/info/)

News and Views

Autumn 2007 Vol.24

発行日 2007年10月31日(季刊)
発行人 メンター・グラフィックス・ジャパン株式会社
編集人 News and Views 編集部
東京都品川区北品川4丁目7番35号
御殿山ガーデン
(コーポレート・マーケティング部内)
TEL : (03)5488-3035
E-mail : mktg_mgj@mentor.com

- * Mentor Graphicsはメンター・グラフィックスの登録商標です。
- * 記載されている製品名は、メンター・グラフィックスの登録商標または商標です。