

Catapult C Synthesis は、抽象度の高い C++ および SystemC で記述された仕様から、高品質なハードウェア実装への迅速かつ簡単なパスを提供し、設計と検証の労力を著しく削減します。

複雑性の克服、RTLまでの時間短縮、設計工数削減

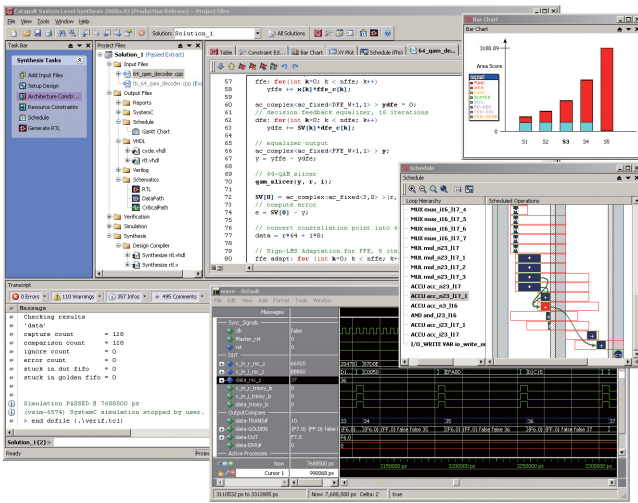
手書きによるRTL開発およびデバッグが必要な従来のハードウェア設計手法は、今日の複雑な設計には時間がかかりすぎます。Catapult® C Synthesisは、業界標準のANSI C++ およびSystemCを用いて機能的意図を記述し、より生産性の高い抽象度への移行を可能にすることにより、設計者を支援します。Catapult C Synthesisは、これらの高位記述から最終製品品質のRTLを生成します。このアプローチにより、制御ブロックとアルゴリズム・ユニットの両方から構成される完全な階層構造のシステムを自動的に実装し、マニュアルでの設計フローで発生しやすいコーディング・エラーやバグを解消します。RTLまでの時間を加速し、バグのないRTLを自動生成することにより、Catapult C Synthesisは検証済みRTL完成までの時間を大幅に短縮します。

複雑なASICおよびFPGAのモデリング、合成、検証に対するCatapult C Synthesisの統一されたフローにより、ハードウェア設計者は、マイクロ・アーキテクチャおよびインタフェースの選択肢を詳細に検討できるようになります。高度な消費電力最適化機能により、動的な電力消費を大幅に削減します。高度な対話性を提供するCatapult C Synthesisのワークフローは、合成プロセスに完全な可視性と制御性を提供し、設計者は、性能、面積、消費電力に対する最適な実装を短期間で得ることができます。

Catapult C Synthesisによる高位合成ソリューションは、世界中の大手企業による数百のASICおよびFPGAのテーブアウト実績に貢献しており、2009年末までにCatapult C Synthesisを使って設計されたASICは1億7000万個以上出荷されています。また、Catapult C Synthesisは3年間連続で、Gary Smith EDAにより高位合成のリーダーであると評価されています。

特長:

- 純粋なANSI C++とSystemCの両方に対応したデータパスとコントロール・ロジックの混在合成
- アンタイムド、トランザクションレベル、サイクル精度のモデリング・スタイルをサポートする複数の抽象度に対応した合成
- マルチブロック構成のサブシステムのパイプライン化およびSoCインターコネクト対応を含むフルチップ合成機能
- 消費電力、性能、面積の検討と最適化
- RTL検証インフラストラクチャをプッシュボタンで生成
- 高度なトップダウンおよびボトムアップ階層設計管理
- インタフェース合成およびモジュラIO技術による設計インタフェースに対する完全で高精度な制御
- 対話型、インクリメンタル型設計手法により最適なハードウェアへの最短パスを提供
- 精度の高い制御により優れた結果品質を達成
- ビルトイン解析ツールとしてガントチャート、クリティカルパス・ビューア、クロス・プロービングを提供
- シリコンベンダによる認証済みの合成ライブラリおよびRTL合成とのインテグレーションによりバックエンドでのタイミング収束の予測性を向上
- ASICおよびFPGAテクノロジーを考慮したスケジューリングにより高性能なハードウェアを生成
- クラス、テンプレート、ポインタを含む最も幅広いC++言語サポート
- C++オブジェクト指向エンキャプレーションによりIPや設計資産の再利用性を最大化



Catapult C Synthesis は、入力ソースコードのリントチェックおよびコードカバレッジから、生成されたRTLのプッシュボタンのシミュレーションまで、完全に自動化された検証フローを提供し、より高い品質の結果を実現します。

ANSI C++およびSystemCからの高位合成

Catapult C Synthesisは、高位設計および合成の2つの主要な標準言語であるアンタイムドのANSI C++とSystemCの両方をサポートしています。このデュアル言語サポートにより、設計ニーズや社内の標準に最も適した言語を選択することも、両方の言語を単一の設計フロー内で使用することも可能となるため、設計者にとって理想的です。そのアンタイムドな性質により、C++はアーキテクチャ設計および最も抽象度の高いレベルでの検証に最適な選択肢であり、SystemCはバス・インタフェースやSoCインターコネクトなど、複雑な制御ロジックの合成に求められる詳細な合成制御に適しています。さらに、標準のみを採用したCatapult C Synthesisを使用することで、ANSI C++で記述されたものかSystemCかに関わらず、既存の設計資産を活用することが可能になります。

フルチップ高位合成

Catapult C Synthesisは、純粋なシーケンシャルANSI C++およびSystemCから、マルチブロック構成のパイプライン化されたコンカレントな階層設計を合成します。新規設計を開始する際、Catapult C Synthesisが階層化し得る構造を識別、分析するので、設計者は対話的に最適な構造を選択できます。その後、Catapult C Synthesisは、階層処理エンジンを用いて各ファンクションを独立したFSM、コントロール・ロジックおよびデータパスを含むコンカレントな階層ブロックに合成します。同時に、Catapult C Synthesisの強力なチャネル合成機能は、FIFOを使ったストリームチャネル、ピンボンメモリ、共有メモリ、チャネル幅、チャネル深さなどをサポートし、ブロック間通信を最適化します。また、Catapult C Synthesisはトップレベルでのパイプライン処理を実行し、トップレベルのスループット制約を満たすコンカレントなパイプ

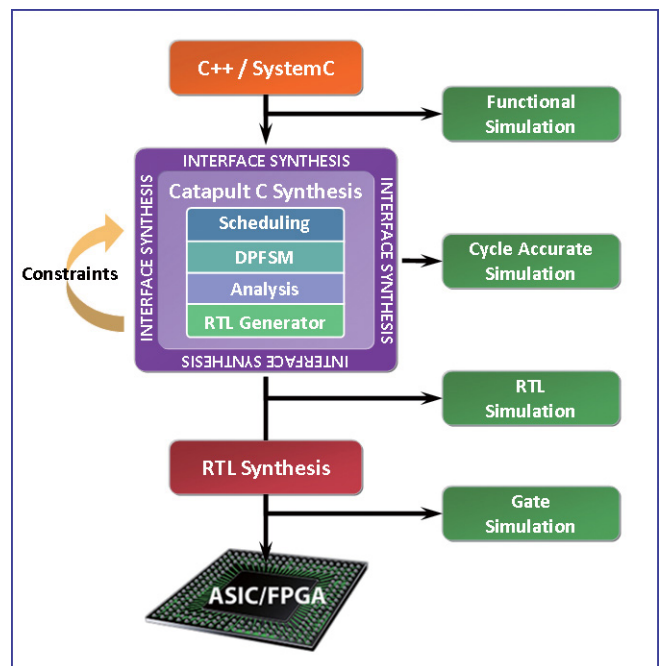
ライン化されたサブブロックを自動的に構築します。

フロントエンドからバックエンドまで完全に自動化された検証

Catapult C Synthesisは、業界をリードするメンター・グラフィックスの機能検証ツール群を活用し、強力かつ完全に自動化された統合検証フローを提供します。これにより、高い信頼度を持って設計を合成し、生成されたRTLの正確度を簡単に検証できます。

Catapult C Synthesisは、入力モデルに対して自動的にリントチェックおよび静的コードチェックを行い、エラーの可能性を取り除いてモデルの改善を図ります。また、Catapult C Synthesisはコードカバレッジ・レポートを生成してランタイムチェックを実行するので、設計者は使用するC++およびSystemCコードに対する確信を高めることができます。

RTL合成後、Catapult C Synthesisは、オリジナルのC++またはSystemCテストベンチを再利用して、生成後のRTLを活性化するための完全な検証インフラストラクチャを生成します。自動生成されたトランザクタおよびコンパレータを活用し、RTLでの結果をゴールデンの検証結果に対して一致させます。このフローによりRTLのサイクル精度の動作を元のC設計内で再生できるため、設計者はタイミングに関する問題をアンタイムドのソース内で直接解析できます。このプッシュボタン方式のソリューションにより必要なすべてのファイルおよびスクリプトが生成され、生成された設計を簡単に検証できます。

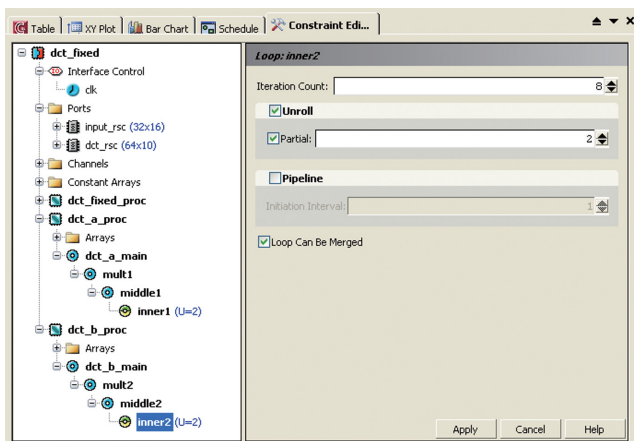


Catapult C Synthesisを使用した設計フローでは、マニュアル設計手法では不可能だった幅広いマイクロ・アーキテクチャの評価が可能になります。

マイクロ・アーキテクチャ解析と最適化

Catapult C Synthesisの自動処理と特定の高位での制約条件を組み合わせてことによって、ハードウェア実装を正確に制御できることから、設計者は、より短期間で格段に高品質な設計へとインタラクティブに収束させることが可能です。アーキテクチャ・コンストレインツ・エディタでは、デザインに含まれるすべてのポート、アレイ、ループがグラフィカルに表示され、以下の高位制約条件を任意に選択して適用できます。

- ・ ループのマージ、アンロールとパイプライン化
- ・ 相対的なサイクル対サイクルのタイミング
- ・ RAM、ROM、FIFOアレイ・マッピング
- ・ メモリリソースのマージ
- ・ メモリのビット幅変更



アーキテクチャ制約条件を適用して、ループのアンロール、マージ、パイプライン化やアレイのRAMへのマッピング、リソース配分の制御などを行い、ハードウェアを最適化します。

インタフェース合成

インタフェースおよびそれらの特性は、設計の性能と品質に決定的な影響を与えます。これに対してCatapult C Synthesisは、設計者がインタフェースに対する最適な決定を行い、最適な実装を行う支援をするための機能を用意しています。Catapult C Synthesisは、最高のタイミングと帯域幅を追求するアーキテクチャ設計者と、設計を最も効率的に実現しなければならない実装設計者のニーズの両方に対応しています。

最も高い抽象度において、Catapult C Synthesisではソース記述にインタフェース・プロトコルを組み込む必要がありません。その代わりに、純粋なC++記述を入力とし、特許出願中のインタフェース合成テクノロジーによりインタフェースのタイミングと通信プロトコルを制御します。これによりインタフェース解析が可能となり、設計者はストリーミング、シングル/デュアルポートRAM、ハンドシェッキング、FIFO、ならび

にその他の各種カスタムまたはビルトインI/Oコンポーネントを含めた幅広いハードウェア・インタフェースの選択肢を検討することが可能です。

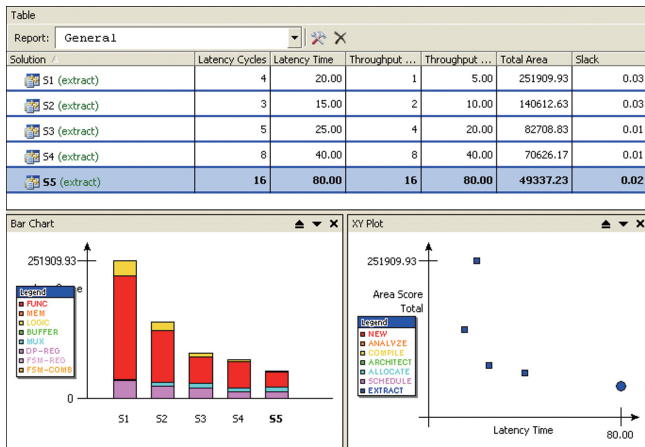
また、SystemCのサイクル精度記述を用いて、設計者がインタフェース要件を完全に指定することも可能です。トランザクションレベルのモデリング・スタイルを使用することにより、インタフェースのタイミングと動作は、コアとなる機能からは分離されています。これにより設計者は、設計インタフェースに対しては詳細な制御を行いつつ、設計の他の部分に対しては抽象度の高いモデリングによるメリットを実現できます。このアプローチは特に、複雑なバス・インタフェースおよびSoCインターコネクットの効率的なモデル化、検証、合成に最適です。

低消費電力設計の検討と最適化

Catapult C Synthesisは、マルチレベルのクロック・ゲーティング、メモリアクセス最適化、インテリジェントなリソース共有、複数クロック・ドメインなど、効率の高い低消費電力設計テクニックを完全に自動化しています。RTLネットリストを徹底的に解析、最適化し、レジスタ単位での処理により消費電力を最大限に削減します。これらの強力な最適化をCatapult C Synthesisの消費電力検討フローと組み合わせて利用することにより、設計者は、クロック周波数、性能、マイクロ・アーキテクチャなどの設計パラメータに基づく数十種類の実装候補を即座に作成できます。消費電力の検討機能と最適化というこのユニークな組み合わせにより比類のない結果が達成され、電力消費を劇的に削減します。

予測可能なタイミング収束

Catapult C Synthesisは、半導体テクノロジーを考慮したスケジューリングおよびアロケーションにより、学習された経験則に基づく優れた品質の設計を生成し、物理設計段階でも予測性の高いタイミング収束を実現します。Catapult C Library Builderは、下流のRTL合成ツールおよび特定のターゲット・テクノロジー・ライブラリから詳細なキャラクターライゼーション・データを収集し、ライブラリ化します。これにより、Catapult C Synthesisは、ハードウェア・リソースのスケジューリング、演算子のチェーニング、マルチサイクル・コンポーネントの推定などを正確に行い、時間と手間をかけてRTL合成を行うことなく、正確な面積、レイテンシ、スループットの予測が可能です。Catapult C Synthesisは、主要なFSM制御ロジックをタイミングのクリティカルなデータパスから切り離して構成することにより、設計の性能を最大化します。Design Compilerで使用されるDesignWareなど、後工程のRTL合成ツールで使用されるネイティブな特定テクノロジー向け演算子を活用することにより、高度に最適化されたデータパスを生成します。この手法によってデータパス遅延を正確に把握した設計が可能となり、RTLおよび物理合成を通じて、「correct-by-construction (構築しながら修正する手法)」に基づくタイミングが実現できます。



Catapult C Synthesis は、デバッグ、検討、最適化のための包括的な解析ツールを用意しており、消費電力、性能、面積の側面から最適なソリューションを短時間に得ることが可能です。

対話型の設計解析ツール

Catapult C Synthesisを用いてRTL作成を自動化することにより、設計者は1つの設計に対して幅広いマイクロ・アーキテクチャを簡単に比較検討できます。また、Catapult C Synthesisは優れた制御性を提供します。ユーザ指定の制約に基づいてソリューションを生成し、結果をX-Yプロット、棒グラフ、表形式、回路図ビューなどで表示します。設計者は、消費電力、面積および性能を把握した上で迅速に意思決定を行い、これらの最適なバランスを実現できます。Catapult C Synthesisの階層的なガントチャートは、クリティカルパス、データフロー、コンポーネント使用率などの情報を提供します。これにより設計者は、メモリ帯域幅の制限、並列化を妨害するループへの依存性、最適なスケジューリングを制限するデータ依存性など、ハードコードされた性能上のボトルネックおよび非効率性を正確に理解できます。設計者は問題箇所を迅速に特定し、クロス・プロービングによりC++コードを確認することで、ソースコードとハードウェア実装の両方を理解、最適化することができます。

ESLからRTLへの統合されたフロー

SystemCとトランザクションレベル・モデリング (TLM) を活用し、Catapult C Synthesisはシステムレベル設計とハードウェア設計という2つの設計ドメインを統合します。メンター・グラフィックスのQuesta®およびVista™ソリューションと組み合わせることで、次

世代のESL設計の基盤を提供します。Catapult C Synthesisは、SystemCで記述されたTLMからの合成、または純粋なC++モデルからTLMを自動生成することにより、ESLフローおよび設計手法と自然に連携します。メンター・グラフィックスのSystemCモデリング環境であるVistaからシームレスにCatapult C Synthesis環境へ移行して様々なマイクロ・アーキテクチャの選択肢を検討し、緊密に統合されたVistaのデバッガを使用して結果を微調整できます。最適化、検証が済んだ後、高位モデルはRTLに合成されます。トランザクション精度からサイクル精度、RTLに至るまで、Catapult C SynthesisはESLと実装設計のギャップを埋めるのに必要な全てのモデルおよび抽象度に対するサポートを提供します。

認証済みの統合されたフロー

Catapult C Synthesisは、サードパーティ製ツールとも認証済みの統合を実現しており、ESLから検証済みのゲートに至る最もスムーズなフローと高品質な結果品質を提供します。Catapult C Synthesisに組み込まれたフローおよび正式にサポートされたツールの一部を以下に記載します。

- ・メンター・グラフィックス: Vista, ModelSim®, Questa, Olympus-SoC, Precision® Synthesis
- ・Synopsys: Design Compiler, VCS
- ・Magma: Talus
- ・Cadence: RTL Compiler, NC-Sim
- ・Mathworks: Simulink, MATLAB
- ・Atrenta: SpyGlass, SpyGlass-Power
- ・Apache: PowerTheater
- ・Calypto: SLEC
- ・Xilinx: XPower
- ・Altera: PowerPlay

サポートされるプラットフォーム

Windows NT/2000/XP, Linux Red Hat Enterprise, SUN Solaris 8

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.
Mentor GraphicsはMentor Graphics Corporationの登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>