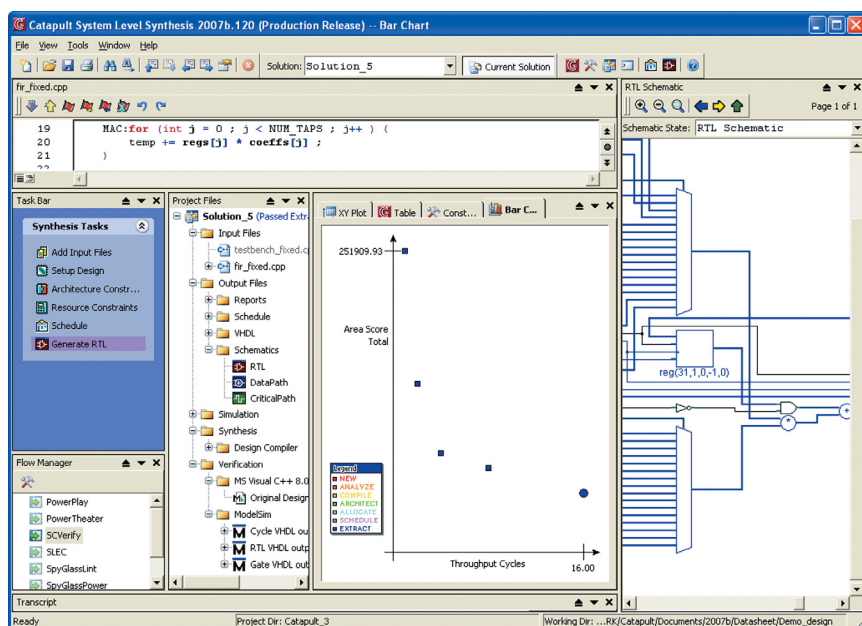


Catapult C Synthesis

C-Based Design
D A T A S H E E T



Catapult C Synthesis は、抽象度の高い C で記述された仕様から高品質なハードウェア実装への迅速かつ簡単なパスを提供します。

検証済みRTLへの最短パス

従来のハードウェア設計手法には手書きによるRTLの開発およびデバッグが必要とされ、今日の複雑なデジタル・アプリケーションの設計には時間がかかりすぎます。Catapult[®] C Synthesisは、制御ブロックとアルゴリズム・ユニットを含む完全な階層構造のシステムを純粋なC++から合成することが可能な唯一の製品です。独自のDCC (Decoupling Control Channel) 技術と特許出願中の検証フローの組み合わせは、先端アプリケーションに見られる複雑な混在ブロックを、モデル化、合成、検証する統一フローを構成する主要な技術要素です。さらに、マルチクロック・ゲーティングなどの高度な消費電力最適化機能は、ダイナミック消費電力の大幅な削減を可能にします。これらの機能により、ワイヤレス通信、衛星通信、ビデオ、画像処理アプリケーションなどに必要とされる複雑な高性能ASICおよびFPGAハードウェアの迅速な設計と検証が可能になります。2008年末に時点においてすでに、Catapult C Synthesisを使用してハードウェアを設計した1億個を上回るASICが出荷されています。

Catapult C Synthesisファミリ

Catapult C Synthesisの製品ファミリは業界標準のANSI C++を合成する初めての製品群であり、他の手法に比べて10~20倍高速かつ確実に検証済みRTLを生成します。RTL手法や、ハードウェアの詳細をソースにマニュアル記述しなければならない他の高位合成ツールとは異なり、Catapult C Synthesisは、自動化によってハンド・コーディングに伴う設計エラーを回避すると同時に、性能、面積、消費電力の点で最良のRTL実装を素早く決定することができます。

特長:

- 独自拡張のない純粋なANSI C++を合成
- 性能、面積、消費電力を最適化
- データパスと制御の混在を設計、検証可能
- ASICおよびFPGAテクノロジーを考慮したスケジューリングにより高性能なハードウェアを生成
- インクリメンタルな設計手法により、最大の可視性、最大のユーザー制御および最短のハードウェアへのパスを提供
- 特許出願中のインタフェース合成機能によるインタフェース最適化
- ANSI C++テストベンチの再利用およびSystemCトランザクタ生成機能を用いたRTLの自動検証
- SystemC TLM生成機能による高速なシステム検証とSystemC設計フローへのリンク
- RTLの自動生成により、ハンド・コーディングにありがちなバグを解消
- ビット精度データタイプのサポートにより、対RTLで最高10,000倍高速なビット精度シミュレーションを実現
- 階層設計サポートによりANSI C++からパイプライン化されたマルチブロック・サブシステムを合成
- 高精度なライブラリ・モデリング機能により、RTL合成に長い時間を費やすことなく、前工程における面積と遅延を正確に予測
- RTL合成との緊密な統合により迅速なタイミング・クロージャを達成
- 階層化されたガントチャートによりデザインのボトルネックや非効率性をグラフィカルに表示
- ガントチャート、ソースコード、回路図間のマルチビュー・クロスプロービング

マイクロ・アーキテクチャ解析と最適化

従来の設計、検証フローは多大な労力を要するものであり、異なる複数マイクロ・アーキテクチャの評価に割くことができる時間はほとんどありませんでした。その結果、ハードウェア設計者の選択肢は限られたものとならざるを得ず、最善の選択肢とは言えないケースがしばしば見られました。Catapult C Synthesisを使ってRTLの作成を自動化することにより、設計者は1つの設計に対して幅広いマイクロ・アーキテクチャの選択肢を簡単に比較検討できます。また、Catapult C Synthesisは設計者に優れた制御性を提供します。ユーザの指定した制約に基づいてソリューションを生成し、結果をXYプロット、棒グラフ、表形式、回路図ビューなどで表示します。ユーザは消費電力、面積および性能を把握した上で迅速に決定を行い、最善のハードウェアを生成することが可能です。

Catapult C Synthesisの階層型ガントチャートはクリティカルパス、データフロー、コンポーネント使用率などについての情報を提供します。これにより設計者は、メモリ帯域幅の制限、並列化を妨害するループへの依存性、最適なスケジューリングを制限するデータ依存性など、性能上のボトルネックおよび非効率性を正確に理解することができます。設計者は問題領域を迅速に特定し、クロスプロービングによりC++コードを確認することで、ソースコードとハードウェア実装の両方を理解、最適化し、最善のハードウェア実装へと短時間に収束させることができます。

インタフェース合成

他の高位合成ツールとは異なり、Catapult C Synthesisではソース記述にインタフェース・プロトコルを組み込む必要はありません。むしろ純粋なANSI C++記述を入力とし、特許出願中のインタフェース合成テクノロジーによりインタフェースのタイミングと通信プロトコルを制御します。これによりインタフェースそのものの解析が可能となり、設計者はストリーミング、シングル/デュアルポートRAM、ハンドシェーキング、FIFO、AMBA、ならびにその他の各種ビルトインI/Oコンポーネントを含めた幅広いハードウェア・インタフェースの選択肢を検討できます。また、Catapult C Library Builderを使って、カスタムあるいは専用のI/Oコンポーネントをターゲットとすることも可能です。

階層設計の合成

Catapult C Synthesisは、純粋なシーケンシャルANSI C++から複数ブロックのパイプライン化されたコンカレントな階層設計を合成可能とした初めての高位合成ツールです。階層を追加することによりデザインの性能を改善できるだけでなく、合成に費やされる時間も著しく短縮されるため、複雑な設計と検証効率を大幅に向上させます。設計開始段階では、設計者が構成可能な階層構造を判断、分析する助けとなり、最適な階層構造のインタラクティブな選択が可能になります。適切な階層レベルが決定された後、Catapult C Synthesisは階層型エンジンを用いて各ファンクションを制御用FSM、コントロール・ロジックおよびデータパスなどのコンカレントな階層ブロック

に合成します。同時に、FIFOを使ったストリーム・チャンネル、ピンポンメモリ、チャンネル幅、チャンネル深さをサポートした強力なチャンネル合成機能によりブロック間通信を最適化します。またトップレベルでのパイプライン処理を自動的に実行するために、トップレベルのスループット制約を満たすコンカレントでパイプライン化されたサブブロックを構築します。

SystemC検証環境

Catapult C Synthesisは、タイムドのRTLとトランザクションまたはシーケンシャル・テスト環境を同期化するSystemCトランザクタを生成することにより、統合されたブロックレベルの検証環境を提供しています。この統合により、オリジナルのCテストベンチを再利用し、RTL設計をC記述に照らして機能面の検証をすることが可能になります。また、このフローではRTLのサイクル精度動作を元のC設計内で再生し、タイミングに関連した問題をアンタイムドのC++ソース内で直接解析することが可能です。

低消費電力設計の探索機能と最適化

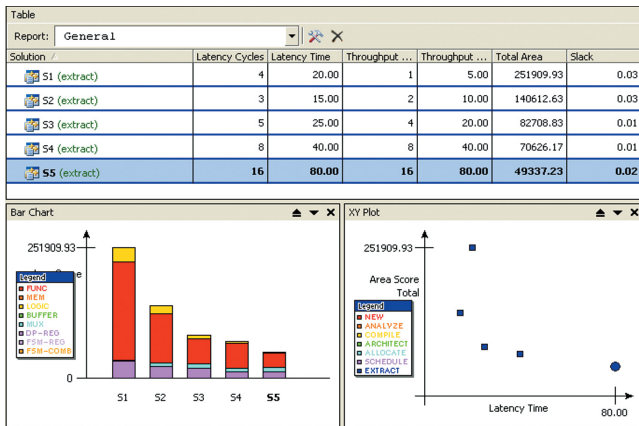
Catapult C Synthesisは、マルチレベルのクロック・ゲーティングなど、効率の高い低消費電力設計テクニックを完全に自動化しています。RTLネットリストを徹底的に解析し、電力消費を削減する最適化をレジスタ単位で行い、電力消費を最大限に節約します。これらの強力な最適化をCatapult C Synthesisの低消費電力設計探索フローと組み合わせることで、クロック周波数、性能、マイクロ・アーキテクチャなどの設計パラメータをスイープした数十種類の実装の候補を即座に作成し、これらの設計オプションをベースに、消費電力/性能/面積の要件に最も適したソリューションを簡単に選択することが可能です。消費電力の探索機能と最適化というこのユニークな組み合わせは比類のない結果を達成し、デザインを劇的にクールダウンさせます。

包括的な設計制約条件

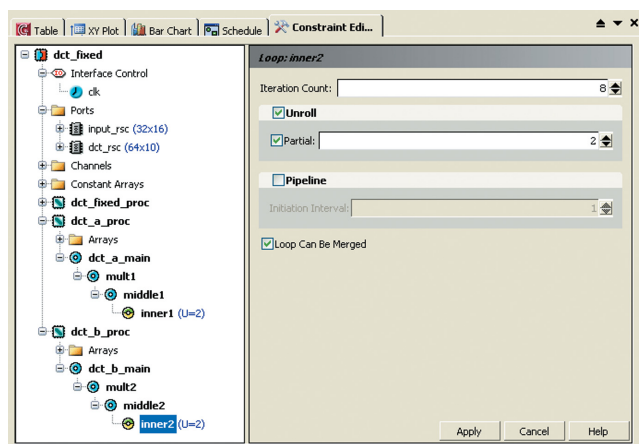
Catapult C Synthesisでは、デザインをどのようにハードウェアとして合成するかを詳細に制御できます。同じソースから、ハードウェア設計者は高位の制約条件を指定して、コンパクトな設計から高度に並列化した設計まで作成可能です。アーキテクチャ制約を指定するウィンドウでは、デザインに含まれるすべてのポート、アレイ、ループがグラフィカルに表示され、次のような高位制約条件を任意に選択して適用できます。

- ・ ループのマージ、アンロールとパイプライン化
- ・ 相対的なサイクルごとのタイミング
- ・ RAM、ROM、FIFOアレイ・マッピング
- ・ メモリリソースのマージ
- ・ メモリのビット幅変更

Catapult C Synthesisは、自動処理と特殊な高位制約条件を組み合わせることによりハードウェア実装を正確に制御し、ユーザは、極めて短い期間で格段に高品質な設計へとインタラクティブに収束させることができます。



X-Y プロット、棒グラフ、テーブルを使った各種ビューにより、すべての合成結果を比較検討するためのフィードバックが得られます。



アーキテクチャ制約条件を適用してループのアンロール、マージ、パイプライン化やアレイのRAMへのマッピング、リソース配分の制御などを行い、ハードウェアを最適化。

予測可能なタイミング収束

Catapult C Synthesisは、主要なFSMコントロール・ロジックをタイミング・クリティカルなデータパスから切り離して構成することにより、設計パフォーマンスを最大化します。またDesign Compilerで使用されるDesignWareなど、後工程のRTL合成ツールで使用されるネイティブな特定テクノロジ向け演算子を活用することにより、高度に最適化されたデータパスを生成します。この手法によってデータパス遅延を正確に把握した設計が可能となり、RTLおよび物理合成を通じて、"correct-by-construction" (構築しながら修正する手法) でのタイミングが実現できます。

統合されたフロー

Catapult C Synthesisは、VHDLまたはVerilogのRTLネットリストに加えて、Design Compiler、Precision® Synthesis、Questa®、その他の主要ツールに対応したシミュレーションおよび合成スクリプトを生成します。また、RAM/DSPの自動推定などのRTL合成機能も利用します。ユーザが最高の品質結果を得られるよう、Catapult C Synthesisはサードパーティ・ベンダ各社との緊密なパートナーシップを通じ、シーケンシャル検証や消費電力解析のための確立されたフローを提供しています。シーケンシャル等価性チェック・フローでは、システムレベルの入力モデルと出力されたRTL設計間の機能的等価性を検証し、ANSI C++ソースとRTL出力結果間のフォーマル証明を提供します。また消費電力最適化および予測フローを活用し、設計者はコンシューマ向け製品やモバイル通信など消費電力条件の厳しいアプリケーションをターゲットとすることができます。

キャリア・セーブ型加算器の最適化

Catapult C Synthesisはキャリア・セーブ型加算器も実装でき、大規模な加算器ツリーにわたる処理とスループットを最適化することができます。キャリア・セーブ型加算器の最適化により、ハードウェア・サイズを削減しながら、より高性能なハードウェア・ブロックが生成可能です。

高度なリソース管理

Catapult C Synthesisのリソース管理は、その粒度が詳細で、ユーザによる高度な制御と最適化が可能です。ユーザは詳細なアーキテクチャコンポーネントの数を制御することで、15%までの面積削減、5%もの速度改善につなげることができます。

SystemC TLM生成

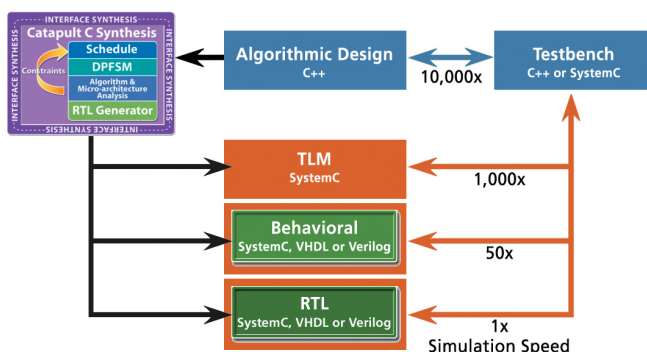
Catapult C Synthesisは、トランザクション精度およびピン精度の両方のシミュレーションに対してSystemCトランザクションレベル・モデル (TLM) を生成することにより、SystemC環境を利用しているシステム設計者にも統合された検証を提供します。これらの高い抽象度モデルにより、SystemCベースの単一のテスト環境をシステム全体に適用し、RTLよりも10倍から100倍高速にシミュレーションすることが可能になります。

Catapult C Library Builder

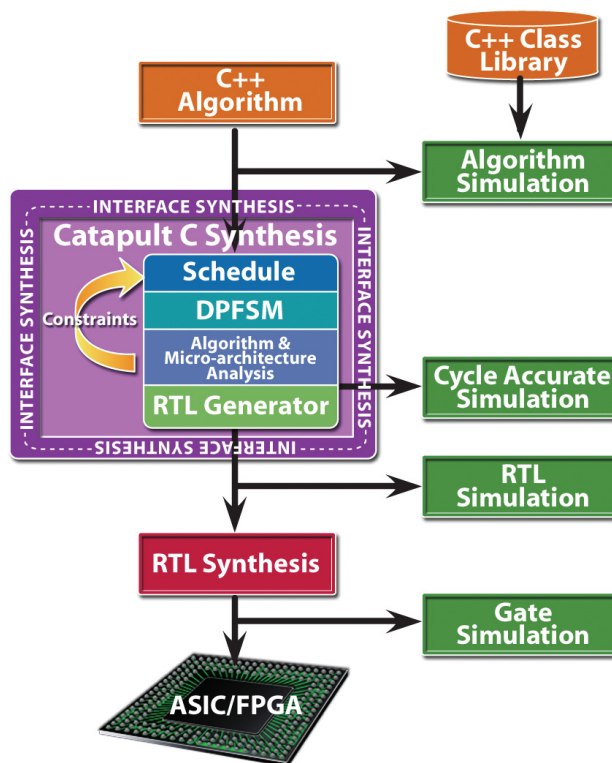
Catapult C Library Builderは、下流のRTL合成ツールおよび特定のターゲット・テクノロジ・ライブラリから詳細なキャラクタライゼーション・データを収集し、ライブラリ化します。これによりCatapult C Synthesisは、ハードウェア・リソースのスケジューリング、演算子のチェーン、マルチサイクル・コンポーネントの推定などを正確に行い、時間と手間をかけてRTL合成を行うことなく、正確な面積、レイテンシ、スループットの予測が可能です。またCatapult C Library Builderでは、メモリ、IP、DesignWare、既存RTLなどのカスタム・コンポーネントを有効利用することも可能です。

顧客により実証されたC合成

Catapult C Synthesisは、ハードウェア設計を行う世界中の大手企業において、多数のASICテープアウトおよびFPGA設計の成功に貢献しています。この成熟した第3世代のC合成環境は、純粋なANSI C++からエラーのないRTLハードウェア記述を従来のRTL手法と比較して20倍高速に生成することができます。業界標準の純粋なANSI C++を使用して機能的な意図を記述することにより、設計者はより生産性の高い抽象度で作業することで、先端アプリケーションで必要とされる複雑なハードウェアの効率的な設計を可能にします。また、高度な解析機能により、設計者は様々なマイクロ・アーキテクチャあるいはインタフェースの可能性を十分に、かつ対話形式で検討することができ、手書きの設計品質に匹敵する高い性能を実現します。Catapult C Synthesisは、システムレベル設計とハードウェア設計というこれまで別々だった設計工程を1つにつなげ、メンター・グラフィックスのQuestaシミュレーション・ツールと組み合わせることにより、次世代のESL (Electronic System Level) 設計の基盤を提供します。



Catapult C Synthesisは、タイムドRTLとトランザクションまたはシーケンシャル・テスト環境を同期化するトランザクタを生成することにより、SystemCトランザクションレベル・システムをサポートしています。この連携により、設計フロー全体にSystemCベースのテスト環境を適用できます。



Catapult C Synthesisを使用した設計フローでは、従来のマニュアル設計手法では不可能だった幅広いマイクロ・アーキテクチャの評価が可能です。

サポートされるプラットフォーム

Windows NT/2000/XP, Linux Red Hat Enterprise, SUN Solaris 8

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.
Mentor GraphicsはMentor Graphics Corporationの登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>