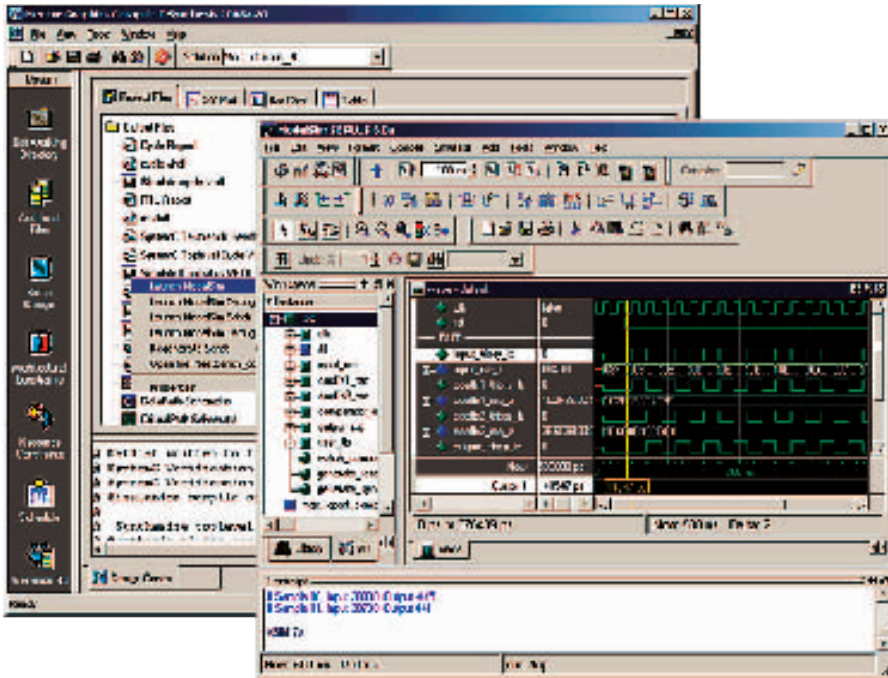


Catapult C Synthesis Automated Verification Extension

C - B a s e d D e s i g n
D A T A S H E E T



特長:

- ・プッシュボタンRTL検証
- ・システム検証の高速化
- ・ANSI C++テストベンチの再利用
- ・プッシュボタンModelSim統合
- ・SystemCトランザクタ自動生成
- ・SystemCラッパー自動生成
- ・SystemC RTL、サイクル精度、アンタイムドTLMによる高速なシステムレベル検証
- ・Verilog、VHDL、SystemCを含む複数の出力言語
- ・OSCI準拠SystemC出力

Catapult C Synthesisの自動化された検証フローにより元のCソースと生成されたRTL ネットリストの比較検証をプッシュボタン式に行うことができます。

合成と検証の間のESLギャップを解消

1つの抽象レベルから次のレベルに進む毎に、シミュレーション時間は桁違いに長くなります。

ASICがますます複雑化し、数百万ゲート規模となる中、純粋なANSI C++等の言語を使った高い抽象度で設計することにより、従来のRTL設計手法と比較して大幅な生産性向上が可能になります。

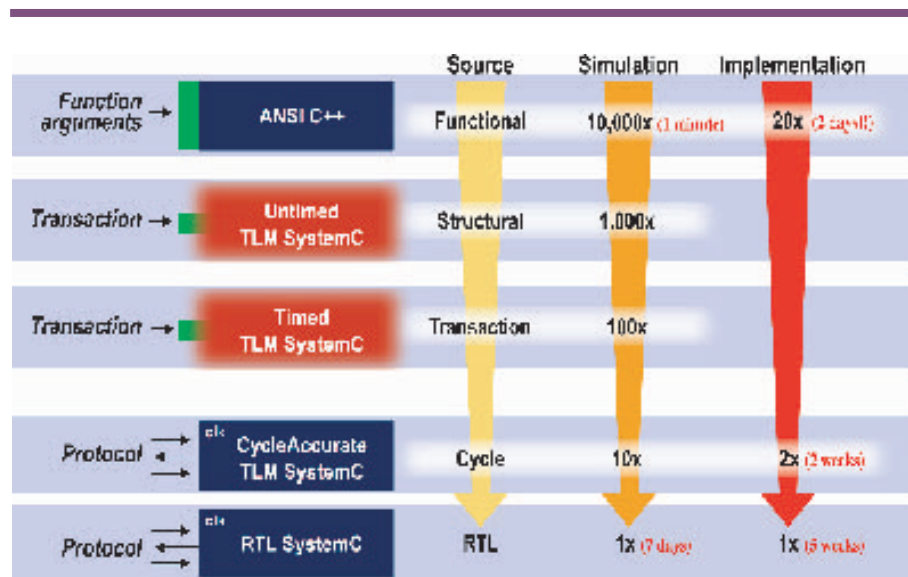
しかし残念なことに、アルゴリズム合成の適用によって得られた高い生産性向上も、従来の繰り返しを伴う検証テクニックにより簡単に打ち消されてしまいます。システムレベル検証全体を効率化する目的で、多くの場合設計者は、SystemCトランザクションレベル・モデルとRTLモデルなど、抽象度の異なるモデルを組み合わせ利用します。しかしながら、これらの抽象度の高いモデルの開発においては、階層や並列性、インタフェース・プロトコル等のハードウェア的な詳細を組み込むのに時間がかかります。

このマニュアルによるプロセスは段階的リファインメントと呼ばれるものですが、これには複数の抽象度モデル、ハードウェア・テストベンチ、各種デザイン・インタフェースに対するトランザクタ等を開発し、管理することが必要になります。

Catapult C Synthesis Verification Extension

Catapult C SynthesisのVerification Extension機能は、アルゴリズムC合成と自動化された検証と組み合わせることにより、ESLデザイン・フローにおけるデザイン・クリエーションと検証の間のギャップを効率的に埋めることで、このボトルネックを直接的に解消します。この環境はANSI C++からRTLのフローを自動化するだけでなく、ANSI C++から検証へのフローを自動化し、RTL設計者に対してはC++テストベンチの再利用、システム設計者に対しては複数の抽象度によるモデル生成まで提供します。Catapult C Synthesisはデザインへのインタフェースを自動的に生成し、これによってユーザーは検証用テストベンチ、モデル、トランザクタを段階的にリファインメントすることなく詳細なアーキテクチャ解析と最適化を実行することができます。

Catapult C SynthesisはRTLとビヘイビアSystem Cモデルの両方を自動的に生成することにより抽象度の混在した検証を可能にします。生成されるビヘイビアSystem Cモデルは、サイクル精度かつピン精度であり、しかもRTLより10~20倍高速にシミュレーションできるよう最適化されています。この統合された検証フローにより、メンター・グラフィックスのModelSim等のOSCI準拠シミュレータを使ってプッシュボタン式にシミュレーションが可能になります。



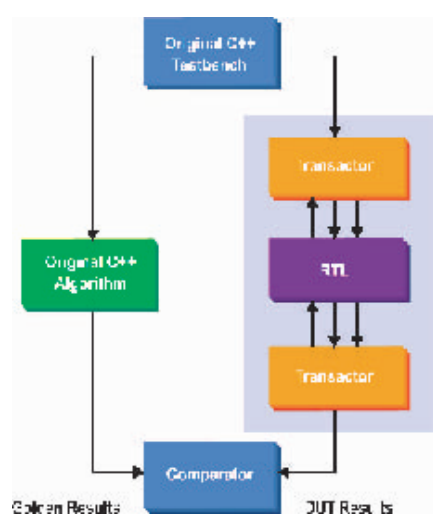
テストベンチの再利用による高速なRTL検証

Catapult C Synthesisでは、既存の高速なANSI C++テストベンチをCatapultから生成されたVerilogあるいはVHDLのRTLを検証する時に再利用できます。Catapult Cでは、RTL出力と元のANSI C++テストベンチとの協調シミュレーションを行うのに必要なSystemCラッパーおよびトランザクタを自動的に生成することにより、プッシュボタン式の機能検証を実現しています。この同じフレームワークは、ハードウェア・エミュレーションやプロトタイピングにも簡単に拡張することができます。

システム検証の高速化

抽象度の混在したシミュレーション環境では、システムに含まれる異なる抽象度でモデル化されたブロックを接続するためにトランザクタが使用されます。しかしながら、従来のTLM (Transaction Level Modeling) ベースの検証環境では、トランザクタをマニュアルで作成する必要がありました。これは時間のかかる、エラーの起こりやすいプロセスで、多くの場合RTLモデル自体の作成と同じくらい複雑かつ面倒な作業でした。さらに、インタフェースが変わるたびに新たなトランザクタを作成しなければならず、マニュアルで何度も設計の繰り返しを行う必要がありました。Catapult C SynthesisのVerification Extension機能はSystemCトランザクタを自動的に生成し、これによってサイクル精度のRTL出力とより高い抽象度のモデルとを組み合わせたいシミュレーションが可能になります。このフローは、どのようなTLMベースの検証環境にも接続して利用できるという利点も併せ持っています。

抽象度を上げることによる生産性の拡大



抽象化による利点の拡大

Catapult C Synthesisの自動化された検証フローにより、設計者は検証プロセスで抽象度を混在させることが可能になり、合成プロセスから検証までの一層の生産性拡大が可能になります。従来のピン精度のタイムドRTLから純粹なANSI C++アルゴリズム記述まで、様々な抽象度を使ってデザインを記述し、検証することができます。RTL検証と比較して10,000~100,000倍高速に機能検証を行うことができる高い抽象度の活用により、生産性の向上が可能になります。

Catapult C SynthesisはSystemCトランザクションレベル・ラッパーを自動生成することにより、元のCテストベンチの再利用を可能にします。

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphicsはメンター・グラフィックス・コーポレーションの登録商標です。
その他記載されている製品名はすべて各社の登録商標または商標です。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA新大阪2
電話 (06) 6399-9521

名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号 名古屋広小路プレイス
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>

