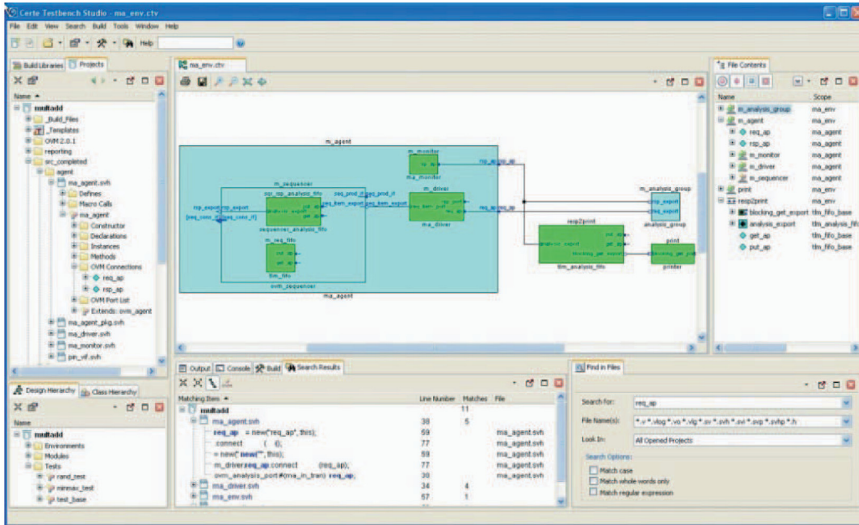


Certe Testbench Studio

OVM テストベンチの作成と解析

Testbench Creation

D A T A S H E E T



Certe Testbench StudioはOVM ベースのテストベンチを迅速に作成し、完全に理解するためのパワフルかつ使いやすい環境を提供します。

高度な検証テストベンチを作成

設計の複雑化にともない、高度なテストベンチとOVM (Open Verification Methodology) の必要性が高まっています。Certe™ Testbench Studioは洗練されたSystemVerilogテストベンチの作成にかかる時間を削減し、理解を劇的に改善する画期的な環境であり、OVMの利点をすべて活用し、生産性を飛躍的に高めるための製品です。

OVMは業界で初めて真のオープン性とインターオペラビリティを備えた、SystemVerilog IEEE 1800言語に基づく実証済みの検証手法であり、相互動作可能な検証IPのためのオープンかつ統一されたクラスライブラリおよびメソッドロジを提供します。Certe Testbench Studioは「Correct-by-Construction」なテストベンチ開発をガイドし、ハードウェア/検証エンジニアはOVMとSystemVerilogの威力をフルに活用できます。OVM接続ダイアグラム、クラスの関係を示す様々なビュー、完全なテストベンチ・オブジェクト用ブラウザ等を通じてテストベンチの構成と機能に対する深い考察を提供することにより、テストベンチ開発を支援します。

Certe Testbench Studioはこれらの複雑なメソッドロジを組み合わせ、高品質なテストベンチをより短い期間で完成するために設計された柔軟性の高いツールです。設計が進み、継続的にテストベンチの構築が進むのに対して、Certe Testbench Studioのテストベンチ作成および組み立て機能、詳細な解析機能、ビルド管理機能によりテストベンチ環境を効率的に管理することができます。設計者はクラスベース、およびモジュールベースのテストベンチを簡単に理解、作成、再利用し、テストベンチのデバッグではなくDUT (Design Under Test) のシミュレーションおよび検証に集中することが可能になります。

Correct-by-Constructionのテストベンチ作成と組み立て

テストベンチ・コードの作成機能はCerte Testbench Studioの中核であり、正しい構成だけを作成することによりハードウェア設計者および検証エンジニアの生産性を向上します。OVMおよびSystemVerilog用のスマートなテキスト・エディタ、テンプレートコード生成機能、およびテストベンチの内容を認識する特性により、VIPおよびOVMテストベンチをCorrect-by-Constructionで作成するのに必要なあらゆる機能を提供します。

テンプレートコードの使用により時間を節約し、誤りを防止し、ベスト・プラクティスを適用するとともに一貫性のあるコーディングを実現できます。テンプレートコード生成機能はカスタマイズが可能で、全社レベル、プロジェクト・レベル、個々のユーザー・レベルで社内ガイドラインをスケーラブルに運用できます。Certe Testbench Studioには各種テンプレートのセットが用意されており、生産性を即座に実現できます。

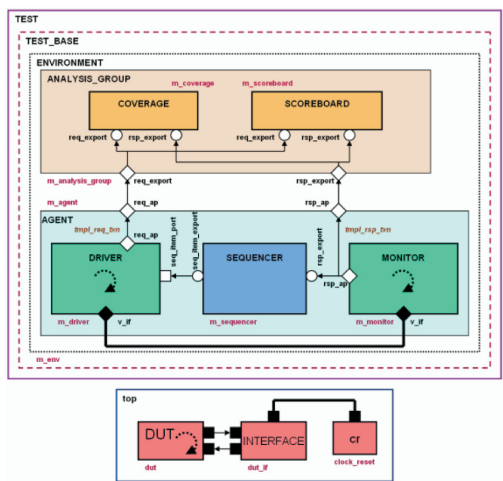
特長:

- テストベンチ開発とデバッグの期間短縮
- 「Correct-by-Construction」テクニックによるVIPの作成
- 標準化された、一貫性のあるSystemVerilogコードの作成
- テストベンチを素早く統合
- テストベンチの水平展開が容易
- 複雑なテストベンチを解析し、理解に役立てる
- ビルドの自動化
- ドキュメントの作成
- VIPの利用を促進
- OVMおよびSystemVerilogの普及を加速
- メンター・グラフィックスの先端検証フローの一部

主な機能:

- 柔軟かつスケーラブルな各種テンプレート・コード生成
- 「スマート」なOVMコード・エディタ
- コードおよびシミュレートされたテストベンチの両方の構造を可視化
- クラス構成、継承、関係の解析
- OVMおよび検証に関するルールへの準拠チェック
- OVM、AVM、SystemVerilogのサポート
- カスタマイズされたMakefileの自動生成

「スマート」なテキスト・エディタ機能は、正しい接続とコーディングのみを許容することでCorrect-by-Constructionのアプローチを徹底します。オートコンプリート機能により独自コードの入力もスピードアップされ、オートコネクト機能はOVM構成要素を迅速かつ正確に接続します。ドラッグ&ドロップ、クラスの拡張、SystemVerilogインタフェース生成、その他多数の編集機能により、テストベンチ定義を完成することができます。また、テスト、シーケンス、カバレッジに対するテストベンチのコンフィギュレーション構成、再構成により、テストベンチの迅速な展開が可能です。



Certe Testbench Studioのテンプレートコード生成機能および「スマート」なコード・エディタにより、OVMテストベンチをCorrect-by-Constructionで開発できます。

コードおよびシミュレートされたテストベンチ構造の可視化

SystemVerilogではオブジェクト指向のプログラミング特性によりテストベンチの構成が複雑になります。したがって、テストベンチの構造を可視化することはテストベンチの内容を評価する上で非常に重要です。Certe Testbench Studioはコードとシミュレートされたテストベンチ構造の両方のビューを提供し、テストベンチの理解を早めるとともに、任意のビューまたはブラウザ内容のドキュメント化に役立ちます。ビューには以下が含まれます。

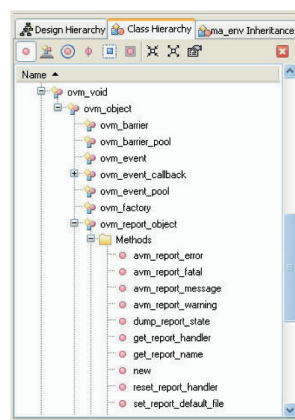
- OVMコンポーネントの接続関係
- シミュレーションの任意のタイムポイントでのOVM構造

テストベンチに対する深い解析と理解

Certe Testbench Studioには、プロジェクトとそのクラスを閲覧するのにたいへん便利な各種ブラウザが含まれています。これにより設計者は、テストベンチ・コードを様々なビューを使って表示し、同じオブジェクトをすべてのビューで自動ハイライトする機能などにより、詳しく調べることができます。以下

のようなブラウザがあります。

- プロジェクト
- デザイン・オブジェクト
- 階層
- クラス階層
- クラス継承
- クラス継承コンテンツ
- ファイル・コンテンツ
- 任意の内容を表示するカスタム・ブラウザ



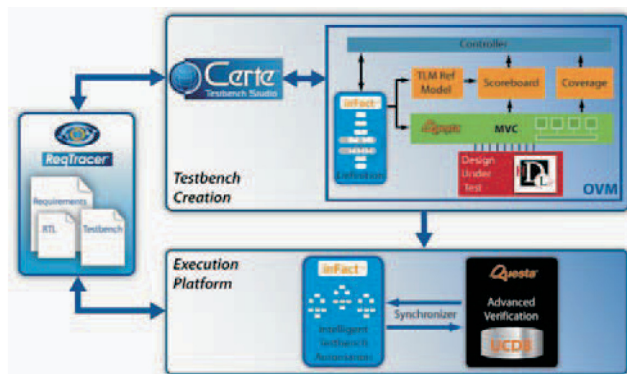
OVMおよび検証コーディング違反をシミュレーション前に特定するために、Certe Testbench Studioにはテストベンチ・デザインルール・チェックのルールセットが組み込まれており、シミュレーション実行前に真のOVM準拠を実現できます。

ブラウザはテストベンチおよびOVMコンポーネントの明確なビューを表示し、ツールチップにより役立つ情報を提供します。

先端検証メソッドロジに統合

Certe Testbench Studioは、ReqTracer™、Questa® Advanced Functional Verification, inFact™、Questa MVC、Questa CodeLink™、HDL Designer™から構成されるメンター・グラフィックスの先端検証ソリューションを補完する製品です。

Certe Testbench Studioはスタンドアロン製品として使用することも、HDL Designerにアドオンすることにより包括的な設計/テストベンチ開発ソリューションを構築することも可能です。Certe Testbench StudioはWindowsおよびLinuxプラットフォームでサポートされています。



Copyright © 2010 Mentor Graphics Corporation. All rights reserved.
Mentor GraphicsはMentor Graphics Corporationの登録商標です。
その他記載されている製品名および会社名は各社の商標または登録商標です。
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>