

業界をリードする検証プラットフォーム Questa は、最も包括的な SystemVerilog サポートや、カバレッジ結果と検証プランをリンクする新しい Verification Management 機能などを提供します。

高性能な検証環境

メンター・グラフィックスのQuesta先進検証環境は、優れた性能と大規模設計への対応を両立し、業界で最も包括的な検証機能を提供します。ABV (アサーション・ベース検証)、テストベンチ自動化、CDV (カバレッジ・ドリブン検証) は高性能なアサーション・エンジン、最新の高性能制約ソルバー、UCDB (Unified Coverage Database) を基盤とするVerification Management機能に代表される幅広いファンクショナル・カバレッジ機能により、ネイティブにサポートされています。Power-Aware Simulationを用いることにより、RTL環境内で低消費電力設計検証を行うことも可能です。Questaは、その柔軟なアーキテクチャにより最先端の機能を幅広く提供し、比類のない言語および機能サポートを実現しています。

Questaは、任意の設計および検証フローに適用可能で、クラス最高の技術を組み合わせ、複雑なSoCの設計と検証に必要な様々な抽象度に対応します。あらゆる検証手法の生産性と予測性を大幅に向上させると同時に設計品質を改善し、スケジュールの達成と最大限の機能実現を可能にします。

AVM (Advanced Verification Methodology)

SystemVerilog、SystemC、SystemC Verificationライブラリ (SCV)、トランザクションレベル・モデリング (TLM) ライブラリの包括的なサポートを通じて、Questaはメンター・グラフィックスのAVMの適用を可能にします。AVMの「ベストプラクティス」アプローチにより、オブジェクト指向、クラスベース検証技術をスムーズに導入することが可能です。

特長:

- メンター・グラフィックスのAVM (Advanced Verification Methodology) を含む、オブジェクト指向、クラスベースの各種検証手法のサポート
- ビルトインされたPower Aware SimulationによるRTLの低消費電力設計検証
- SystemVerilog、SystemC、VHDL、Verilog、PSL、C/C++を含むあらゆる標準言語のネイティブなサポート
- 複数言語 - SystemVerilog、SystemCによるトランザクション・レベルのモデリングと表示を含む高位設計
- 高性能な制約付きランダム・ステミュラス生成によるテストベンチ自動化
- Verification Managementによる検証品質の向上
- Accellera OVLによるアサーション・ライブラリのサポートと高度なチェッカーや標準プロトコル・モニタを含むQuesta Verification Library (QVL)
- 業界をリードするRTL/ゲートレベル・シミュレーション性能
- 強力かつ分かりやすい複数言語対応GUIによる高度な検証言語の高速解析
- CならびにTcl/Tkインタフェースを使ったカスタマイズ可能なオープン・アーキテクチャ
- UNIX、32/64ビットLinux、32ビットWindowsベース・プラットフォームで稼動

このような技術には、しばしば複数言語による検証が要されます。それはプロジェクトチームに属するメンバーが、特定のタスクに合わせて様々な言語を異なる抽象度で使用するためです。設計および検証エンジニアは、作業中のタスクに最も適切な言語を選択できるツールと手法を必要としています。

Questaの提供するシングルカーネルの混在言語環境によって、Verilog、VHDL、SystemVerilog、SystemC、あるいはそれらの組み合わせで作成された設計に、AVMテストベンチを適用できます。この柔軟性により、設計および検証チームは、この環境に対する投資を短期間に回収できます。

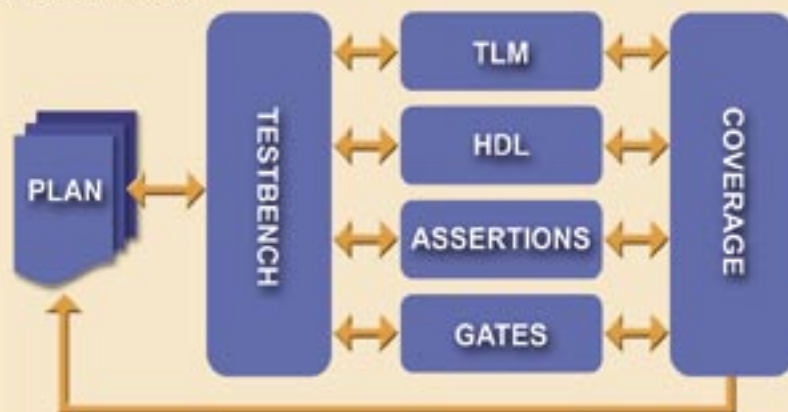
Questaを用いてAVMを適用することにより、システム・アーキテクトと設計者の間、ならびにRTL設計者と検証エンジニアの間の溝が解消されます。プロジェクトの各段階で適切な設計および検証言語を活用することにより、システム設計からゲートレベル検証までの設計／検証フローを支援します。

Questaは、アサーション・ベース検証、制約付きランダムテスト、カバレッジ・ドリブン検証をあらゆる抽象度で可能にするため、システム検証段階、RTL実装段階を問わず、最先端検証手法のメリットをフルに実現することが可能です。

AVMを用いると、パラメータ化された抽象的なクラスおよびユーティリティで構成されるオープンなライブラリに基づく再利用可能なテストベンチ・コンポーネントを作成できます。業界標準のOpen SystemC Initiative (OSCI) TLMライブラリを基にSystemCおよびSystemVerilogで実装された明確なインタフェースにより、検証環境に含まれる各コンポーネントは簡単に再利用可能で、他のコンポーネントに影響を与えることなく簡単に変更可能です。

またAVMは、Questaのプロセス間通信機能をフルに活用しており、コンポーネント間にブロッキングおよびノンブロッキング通信チャネルを作成できます。例えばprogramブロック、virtual interface、classなどのSystemVerilog検証機能をネイティブにサポートすることで、複雑かつ強力な検証環境の構築、トランザクション・レベルならびにRTLレベルの設計および検証コンポーネント間の接続を柔軟に実現することが可能です。

METHODOLOGY



Questaは、異なる検証手法を効率的にサポートする能力を備えています。アサーション、制約、ファンクショナル・カバレッジに対するネイティブ・サポートにより、検証の予測性と設計品質を向上する最適化された検証フローを実現します。

テストベンチの自動化とCDV

Questaの検証機能は、手入力による作成が極めて難しい、複雑な入力とステイミュラスの組み合わせを自動的に作成します。ステイミュラス・シナリオは、SystemVerilogおよびSCVライブラリ・コンポーネントを用いた制約ベースで記述できます。これらの制約付きランダムテスト機能はテストベンチ・レベルでの再利用性を高め、記述しなければならないテストベンチの数を削減すると同時に、生成されるテストの量、検出バグ数を高め、検証カバレッジのレベルを向上します。

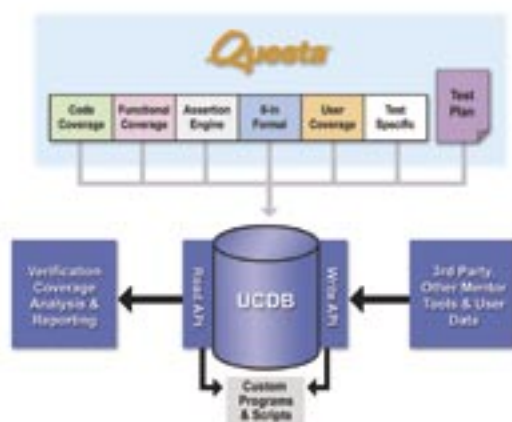
Questaは、ファンクショナル・カバレッジと制約付きランダムテストを組み合わせることにより、自動生成されたステイミュラスで実行される機能を識別します。テスト作成に対するフィードバックとして機能カバレッジ指標を用いることにより、エンジニアは未検証の機能に対してランダムテストを実施するよう制約を適用できます。この自動化手法により、何百ものダイレクテッド・テストを手作業で作成する場合と比較して著しい生産性向上を実現します。ファンクショナル・カバレッジ指標は、Property Specification Language (PSL) のcoverディレクティブ、SystemVerilogのcover groupならびにcoverディレクティブにより提供されます。更に、テストベンチ自体もデザインに含まれるファンクショナル・カバレッジ・ポイントに対してダイナミックに反応させることができます。これらの機能カバレッジ・ポイントが検出された場合、制約ソルバーへの入力をダイナミックに変更し、これまでカバーされていなかった機能に対してリターゲットすることが可能です。

QuestaはCDVと制約付きランダムテスト生成を相互に補完する形で実装しており、生産性と予測性の向上を実現します。テストベンチの自動化では、制約付きランダムテストの持つ無作為性により、他の方法では考えられなかったスティミュラスの生成およびシナリオの適用を可能にしています。スティミュラス生成において無作為性を実現するには、何かが実行され、何が実行されていないのかを計測する手段が必要となり、CDVはその手段を提供します。

Verification Management

制約付きランダム・スティミュラスとCDVの適用により、検証プロセスで生成される情報量は劇的に増大します。QuestaのUCDBはコード・カバレッジ、ファンクショナル・カバレッジ、アサーション・カバレッジを含む全てのカバレッジ・データを単一データベースに収集します。Verification Management機能では検証プランのインポートを行い、カバレッジをテスト目標に関連付けることで、進捗状況の継続的な監視やリソースの効率的な投入を行うための確実な指標を、管理者やエンジニアに提供します。

Questaは未加工のカバレッジ・データを処理し、意味のある情報に変えるための強力な解析ユーティリティを備えています。例えば、テスト・ランキング機能を用いるとカバレッジの改善に貢献しない冗長なテストを識別し、達成するカバレッジに基づいてテストの優先順位付けを行うことができます。検証フローにはしばしば、複数ベンダが提供するツールが使用され、プロジェクトや組織に特有の検証解析指標を持っていることがあるため、QuestaはUCDBに対する読み出し／書き込みAPIを用意しています。専用ツールやサードパーティ・ツールが生成したカバレッジ・データを、書き込みAPIを用いてUCDBに取り込むことができます。また読み出しAPIを用いて、ユーザー定義の専用解析アルゴリズムを構築することも可能です。



Questa 6.3 の Verification Management により、いつ検証カバレッジ目標が達成されるかを知ることが可能となります。統合された各種ツールが、単一データベースを用い、異なるツールからの全てのカバレッジ・データを結合、解析、レポートします。

アサーション・ベース検証

Questaは、業界で最も包括的な標準ベースのABVソリューションを提供し、SystemVerilog、PSL、あるいはその両方を選択することが可能です。Questaには、SVA、PSL、Accellera OVLアサーション・ライブラリ、ならびに高度なチェッカやAMBA AHB、AXI、OCP、PCI-Express、USB、Ethernetなどをサポートする標準プロトコル・モニタを含む新しいQVLが含まれており、ABVを短期間に立ち上げることができます。また、テストベンチの自動化とCDVを統合し、完成された最新検証環境を提供します。ABVは、アサーションを検証の主要な要素として位置づけており、設計の各プロパティに違反がないことを保証します。あらゆる標準の検証およびアサーション言語を、複数の検証エンジン（シミュレーション、フォーマル検証、エミュレーション）でサポートすることにより、Questaは検証フロー全体を通してアサーションのメリットを最大限にし、検証およびデバッグ生産性の向上、設計品質の向上、ならびに検証結果の予測性の向上を実現します。

アサーションによって観測性が高まるため、設計エラーは発生すると即座に原因またはその付近で検出され、デバッグの生産性が大幅に向上します。QuestaにビルトインされたPSLおよびSystemVerilogアサーションのブラウザとアサーション・デバッガにより、アサーション・エラーを引き起こした可能性が最も高いイベントを発見し、問題となっている信号からソースコードを直接追跡することが可能です。これによりエラーの原因を解析し、修正する時間が劇的に短縮されます。QuestaのネイティブABVデバッグ環境により、バグを追跡し、修正にかかる時間が2日間から2時間に短縮されたことが実設計で証明されています。

また、アサーションをカバレッジ測定結果と組み合わせて利用することにより、検証効率の向上に役立てることができます。Questa ABVソリューションは、SystemVerilogおよびPSLで指定されたカバレッジ指標を用いて検証のクロージャを短縮します。UCDBは、PSLおよびSystemVerilogのcoverディレクティブから得られたカバレッジ・データを記録します。このcoverディレクティブはコントロール・カバレッジ（イベントのシーケンス）を捉えるものですが、SystemVerilogのcover groupはデータ値のカバレッジを効率的にとらえます。このデータを使って、ファンクショナル・カバレッジを改善するテストを作成し、設計の機能を改善させることができます。Questaは高度なコード・カバレッジをアサーションで収集されたストラクチャル・カバレッジ、トランザクション・カバレッジおよびファンクショナル・カバレッジのデータと統合し、検証の品質、完全性、有効性について直接的なフィードバックを提供します。

優れたパフォーマンス

Questaの持つ業界最先端の性能とキャパシティは、ネイティブにコンパイルされた単一カーネル・アーキテクチャを基礎としています。全ての言語を単一のカーネルとタイミング・ホイール上でサポートすることにより、最大限の性能を引き出す理想的なプラットフォームが構築されています。高性能を実現するQuestaのグローバル最適化モード「vopt」は、全ての言語に対して非常に強力なコンパイルとシミュレーション最適化のアルゴリズムを使用しています。voptモードでは、Verilog/SystemVerilogおよびVHDL混在のRTLシミュレーション・パフォーマンスを最大6倍高速化できます。voptフローでは、ゲートレベルのパフォーマンスを4倍、キャパシティを2倍以上改善することができます。QuestaのネイティブSystemC統合により、PLIまたはFLIを使った統合に伴うパフォーマンス・ボトルネックが解消されており、シミュレーション時間全体の短縮に大きく貢献しています。

Power Aware Verification

低消費電力化は多くのアプリケーションにおいて重要な要素です。低消費電力化に求められる手法では、パワー・ゲーティング（つまり電源ドメインのON/OFF）、ステートのリテンション、リストラクション、コラプションなど、低消費電力化に特有の設計および検証課題が生じます。一般的にこれらの機能の検証は、変更が行われているRTL環境へ電源ネットワーク機能を挿入するアドホックで行われるか、もしくは設計サイクルの後半、レイアウト後のネットリストに対して実施されます。

QuestaのPower Aware Verificationは、電源ネットワークとシリコンの機能が一致することを保証します。RTLに対して電源ネットワークの抽象度を可能なレベルまで上げることにより、最高性能のスループットと最も早い段階での解析およびデバッグが可能になります。Questaでは電源ネットワークの記述には別ファイルが使用されるため、既存のRTLフローやRTLコードに影響を及ぼすことはありません。QuestaのPower Aware Verificationは、既に複数の低消費電力SoCのテープアウトの成功に貢献している実証済みの技術です。

統合混在言語デバッグ

Questaのデバッグモードは業界でも最高の生産性を提供するデバッグ環境です。複数言語を確実にデバッグするために、シミュレータがVerilog、SystemVerilog、VHDL、SystemCに対する統合カーネルとTLM波形表示および解析機能を提供します。完全に統合されたデバッグ環境では、SystemVerilogとアサーション・デバッグがサポートされています。機能豊富なビルトインデバッグでは、SystemCに対してもHDLコードと同様に作業できることからSystemC実装を習得する特別な時間を必要としません。

業界をリードするグラフィカル・インタフェースを持つQuestaのGUIは、使いやすくデスクトップ領域を効率的に利用する設計となっています。対話型エレメントは論理的に配置されており、Questaの様々な機能を簡単に見渡し、アクセスできるようになっています。また、全ての言語に対する機能も統合されており、高い生産性が実現できます。メモリ・ビューワでは設計に含まれるメモリの内容を簡単に確認し、変更することができます。

Scalable Verification

Questa プラットフォームはメンター・グラフィックスの検証技術の基盤であり、他のメンター・グラフィックス製品を統合することにより、特定手法に対応するカスタマイズ・ソリューションを構築することが可能です。ハードウェア設計者ならびに検証エンジニアは、組み込みソフトウェア・ブロックを検証環境の一部に含めることもできます。ファームウェアを簡単にインポートし、テストベンチとして使うことで、検証カバレッジの効率が大幅に向上し、シミュレーションのさらなる高速化も実現できます。Questa とメンター・グラフィックス製エミュレータ間のトランザクション・レベル・インタフェースは、トランザクション・レベル・テストベンチを使ったモデルの高速なシミュレーション実行を可能にします。デジタルおよびアナログ/デジタル設計の検証に対して優れた精度とパフォーマンスが保証されています。

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphics は、メンター・グラフィックスの登録商標です。
その他記載されている製品名はすべて各社の登録商標または商標です。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪 21
電話 (06) 6399-9521
名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号 名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>