

Questaはカバレッジゴールをより短期間で達成すると同時にデバッグ期間を短縮し、検証プロセスを効率的かつ効果的に管理するために設計された先端検証技術を搭載した、高生産性検証プラットフォームです。

## 特長:

- 業界をリードする標準のサポート: SystemVerilog, SystemC, VHDL, Verilog, PSL, C/C++
- 業界最先端の総合デバッグ環境による複数抽象度のデバッグおよび解析のサポート
- アサーション/コード/機能カバレッジの完全なサポートによりカバレッジ・メトリクス・ドリブンの検証クロージャを実現
- 検証マネジメント・ツールによるカバレッジ結果のテストプランへの照合、追跡管理により予測性を高め、設計検証プロセスを最適化
- Questaの消費電力を考慮したシミュレーションによりUPF (Unified Power Format) を使ったローパワー設計を検証
- Questa MVC (Multi-View Verification Component)、inFact、Questa Codelink、Questa ADMSとの統合により、エレクトロニクス・システム全体の検証が可能

## 高性能検証環境

今日の複雑な設計に対しては、各検証サイクルの価値を最大化する高度な検証テクノロジーと、サインオフ・カバレッジを達成する高速かつ高キャパシティのソリューションが必要です。設計の複雑化は検証プロセスの複雑化に直結し、検証において生成されるデータはアドホック的な手法で管理できる量を超えています。検証によりバグが発見された際には、その原因の特定をスピードアップするために、結果を複数の抽象度で可視化し、デバッグを自動化する機能が必要です。

Questa®検証プラットフォームは、メトリクスに基づいた検証管理システムを基盤とした包括的検証ソリューションとして、最先端の検証および各種デバッグ技術の価値をフルに提供します。Questaは、複雑なSoC設計および検証に必要な様々な抽象度レベルをサポートし、あらゆる検証手法の生産性と予測性を大幅に向上すると同時に、設計品質、検証プロセスの可視性と制御性も改善します。

## Open Verification Methodology

高度な検証技術と業界標準の包括的サポートを通じて、Questaはオープンソース、標準ベースのOVM (Open Verification Methodology) の適用を実現しています。OVMは、ベースクラス・ライブラリ、ユーティリティ、アプリケーションとともに、検証コンポーネントおよびテストベンチを構築するための明確に定義されたメソッドを提供します。詳細については、www.ovmworld.comをご覧ください。

Questaが提供するシングルカーネルの混在言語環境を通じ、OVM

テストベンチを、Verilog, VHDL, SystemVerilog, SystemCあるいはそれらの組み合わせで作成された設計に適用できます。この柔軟性により、OVMを含むあらゆるSystemVerilog検証環境を、任意の設計に使用できます。

Questaを使ったOVMの適用により、システム・アーキテクト、システム設計者、RTL設計者、検証エンジニアの間の溝を解消できます。検証環境の大部分をトランザクションレベルで維持し、トランザクションレベルからRTLおよびゲートレベルに変換するためのアブストラクション・アダプタ (ドライバ) を提供することにより、システム設計からゲートレベル検証までの設計と検証のフローを効率化します。

OVMはシーケンスにより強力な制約付きランダム・ステイミュラス生成を行い、ファクトリを使ってテストを簡単に柔軟に構成する方法を提供します。ファクトリはシーケンスやトランザクションなど、すべての検証オブジェクトを作成します。QuestaはOVMオブジェクトを全体のシミュレーション階層の一部として認識し、トランザクションのログ記録および表示機能によりトランザクションレベルでのデバッグを支援します。

## テストの自動化

Questaの検証機能は、マニュアルで作成すると非常に時間のかかる、複雑な入力とステイミュラスの組み合わせを自動的に作成します。ステイミュラス・シナリオは、SystemVerilogならびにSystemC Verification (SCV) ライブラリ構成要素を使って制約ベースで記述できます。これらの制約付きランダム機能はテストベンチレベルでの

再利用を促進し、これによって記述しなければならないテストベンチの数を削減すると同時に、生成されるテストの量、検出バグの数、検証カバレッジのレベルを向上します。

Questaの制約付きランダムソルバーは、強力な各種ヒューリスティクスを用いてランダム値を持つ高品質なシーケンスを効率的に生成し、高いカバレッジレベルを実現します。制約付きランダムテストのランダム性により、他の方法では考えられなかったスティミュラスの生成およびシナリオの適用を可能にし、バグ発見の可能性を高めることができます。

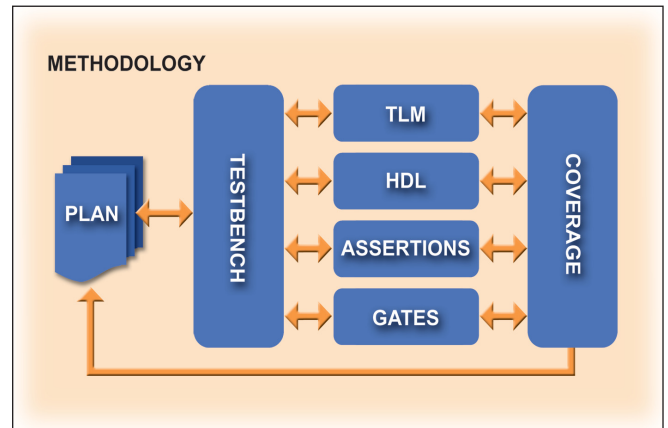
Questaは、機能カバレッジと制約付きランダムテストを組み合わせることにより自動生成されたスティミュラスで実行される機能を識別します。テスト作成に対するフィードバックとして機能カバレッジのマトリクスを用いることにより、エンジニアはカバレッジの抜けに対してランダムテストを集中するよう制約を調整できます。この自動化手法により、何百ものダイレクテッド・テストを手作業で作成するのと比較して著しい生産性向上が可能です。機能カバレッジのマトリクスはSystemVerilogカバレッジ・モデル(covergroupsとcover-points)およびアサーション言語(SystemVerilogまたはPSL [Property Specification Language]アサーションおよびcoverディレクティブ)により提供されます。さらに、UCDB(Unified Coverage DataBase)に記録された機能カバレッジデータはテストベンチ内でリアルタイムに利用でき、設計内の機能カバレッジ・ポイントにダイナミックに反応します。

## inFactを使ったインテリジェントなテストベンチ・オートメーション

Questaは、メンター・グラフィックスのインテリジェントなテストベンチ・オートメーション自動化のソリューション、inFact™と統合されています。制約付きランダム・スティミュラス生成は自動的にテストを生成することで生産性向上を実現しますが、そのランダムな性質により冗長性が発生し、一部のテスト・シーケンスが以前に生成されたシーケンスと重複するケースが避けられません。inFactはアルゴリズムを使ってシーケンスを生成し、結果をモニタリングし、一意のシーケンスが生成されることを保証します。冗長性を排除することにより、QuestaとinFactの組み合わせによりカバレッジゴールがより短時間で達成できます。inFactはOVM準拠検証コンポーネントとプラグアンドプレイの連携を提供し、制約付きランダムあるいはinFactテストを簡単に設定することができます。詳しくは、www.mentorg.co.jp/products/fvよりinFactのデータシートをご覧ください。

## 検証マネジメント・ツール

制約付きランダム・スティミュラスとカバレッジ・マトリクス・ドリブンの検証は、検証プロセスで生成される情報量の劇的な増大を伴います。Questaは業界で初めて、すべてのカバレッジデータ・コード・カバレッジ、アサーション、フォーマル、機能カバレッジを1つのUCDBに統合した検証ソリューションです。QuestaのUCDBは、カバレッジデータ、ユーザー定義の属性、テストデータ等を効率性の高いフォーマットで保存します。検証マネジメントツールは、カバレッジおよび検証データを解析し、検証の進捗についての最新情報とともに、検証プロセスの効率と効果をどのように改善すべきかが考察可能な情報を提供します。



Questaは、アサーション、制約、機能カバレッジに対するネイティブなサポートにより、検証の予測性と設計品質を向上させる最適化された検証フローを実現しています。

検証マネジメント・ツールは、検証プランをインポートし、カバレッジをテストプランの目標に関連付けることにより、進捗状況の継続的な監視やプランに応じたリソースの効率的な投入を行うための強力なツールを、管理者やエンジニアに対して提供し、これまでになかったレベルのプロセスの可視化を実現します。管理者は、プラン内の特定の部分が目標を達成しているかどうかを簡単に特定できます。プランに定義された目標に対して優先順位や重み付けを設定することにより、プロジェクトにおける意思決定が困難な選択を行う際、スケジュール通りに進んでいるかどうかの相対的影響に基づいて判断することができます。

検証マネジメント・ツールは、生のカバレッジデータを処理し、意味のある情報に変えるための強力な解析ユーティリティを備えています。例えば、極めて柔軟なテスト・ランキング機能により、冗長なテスト、一定のシミュレーション時間中に最も高いカバレッジを達成したテスト、関心のある機能領域に関連したカバレッジ・ポイントにヒットしたテストなどを特定できます。

多くの検証フローが複数ベンダのツールを組み合わせたものであり、検証解析のマトリクスはプロジェクトや組織に応じて異なりますが、UCDBに対するオープンかつパブリックな読み取り/書き込みAPIにより、マトリクス・ドリブンの検証プロセスに、任意の検証ツールを統合できます。専用ツールや3rdパーティツールが生成したカバレッジデータも、書き込みAPIを使ってUCDBに取り込むことができます。また、ユーザー定義の、専用解析アルゴリズムやレポート作成機能も読み取りAPIをベースに構築できます。

## アサーション・ベース検証 (ABV)

アサーション・ベース検証 (ABV) は観測性を高め、設計の動作を複数の「チェッカー」により監視することでより多くのバグを検出します。原因の追跡を、プライマリ出力よりも格段に原因箇所に近い、アサーション・エラーから開始することでデバッグ時間をスピードアップします。

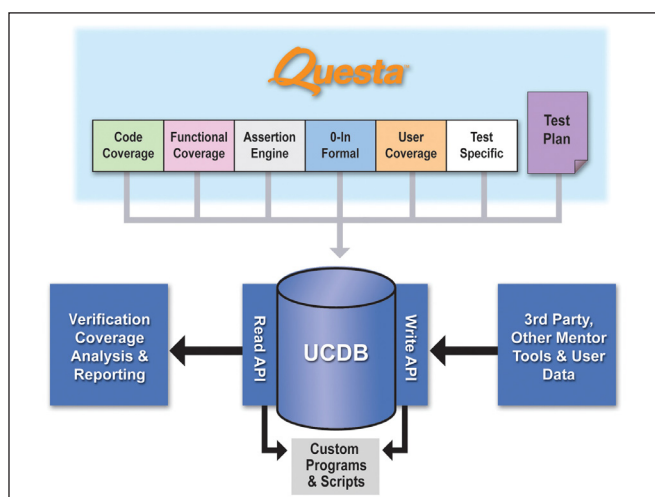
Questaは包括的な標準ベースのABVソリューションを提供し、SystemVerilog、PSLあるいはその両方を選択することが可能です。

Questa Verification Library (QVL)には、Accellera OVLチェッカーを含む、使用頻度の高いRTLチェッカー各種、ならびにAMBA、AHB、AXI、OCP、PCI-EXPRESS、USB、Ethernetを含む標準プロトコルに対するモニターが含まれており、ABVを短期間に立ち上げることができます。QVLを使用することで、設計者や検証エンジニアはプロパティ言語のエキスパートにならなくてもABVの利点を享受できます。QVLチェッカーおよびモニターはメンター・グラフィックスの0-In® Formal Verificationでもサポートされています。QVLに含まれる定義済みチェッカーおよびモニターに加えて、QuestaはSystemVerilog Assertions (SVA)ならびにVHDLアサーションもサポートしています。SVAはSystemVerilogのbind機能によりSystemVerilog、VHDL、SystemCコンポーネントと組み合わせて使用できます。

Questaのデバッグ機能は、様々な側面でアサーションと統合されています。アサーションは波形ウィンドウでログを記録、表示することにより、いつアサーションが活性化され、パスまたはフェイルとなったか、アサーションに対する各評価でいくつの評価スレッドが活性化されたかなどを確認できます。アサーション・ブラウザは、活性化、パス、フェイルの数についての統計情報およびステータス情報を表示します。アサーションがフェイルすると、Questaはその原因である可能性が最も高いイベントを特定し、問題となっている信号からソースコードを直接追跡することが可能です。

Assertion Thread View (ATV) ウィンドウはアサーションフェイルの原因をデバッグするためのユニークな機能を提供します。ATVは1つのアサーションの活性化に対するすべてのスレッドの評価進行状況を視覚的に表現します。アサーションのパス、フェイルはアサーションの評価において発生したすべてのスレッドのパス、フェイルに依存します。

ATVは各スレッドの活性化状況とパス、フェイルを表示します。フェイルしたケースはそれぞれフェイルしたプロパティのサブ・エクスプレッションに関連づけられます。



Questaの検証マネジメント・ツールでは、いつ検証カバレッジゴールが達成されたかを知ることができます。統合された各種ツールが、単一のデータベースを用い、異なるツールからのすべてのカバレッジデータをマージ、解析、レポートします。

アサーションが提供する機能カバレッジ情報はUCDBに自動的に記録され、QuestaはABVを検証マネジメント・ツールに統合します。アサーション・カバレッジを、ある検証プランの目標が達成されたかどうかを判断するメトリクスとして使用することができます。

## 優れたパフォーマンス

Questaの持つ業界最先端の性能とキャパシティは、ネイティブにコンパイルされた複数言語対応のシングル・カーネル・アーキテクチャを基礎としています。高いパフォーマンスを実現するQuestaのグローバル・最適化モードvoptでは、すべての言語に対して非常に積極的なコンパイルとシミュレーション最適化のアルゴリズムを使用しています。voptモードではVerilog/SystemVerilogおよびVHDL混在RTLシミュレーションの性能を最大6倍高速化できます。voptフローではまた、ゲートレベルのパフォーマンスを4倍、キャパシティを2倍以上改善することができます。また、Questaは2007年5月の時点でマルチコア・ハードウェアとマルチスレッド波形ログ、2008年6月の時点ではマルチスレッドSystemCコンパイルへの対応を行っています。

Questaは、次のシミュレーションまでのTATを高速化するとともに、シミュレーションの再利用できる部分を事前に最適化するユニークな機能により高い性能を達成します。これはbbox (ブラックボックス)と呼ばれる機能です。例えば、DUT (Design Under Test) など、1回のシミュレーション実行と次のシミュレーション行の間で変更が加わらない部分と、テストベンチやその一部など変更が加わる他の部分が混在する場合、シミュレーション内の変更のない部分にはbboxを使って完全に最適化されたバージョンを作成し、変更のある部分はそれとは別にコンパイルする、ということが可能です。bboxはシミュレーションのTATとシミュレーションの性能の最大化における理想的なトレードオフを提供します。さらに、bboxの部分は再利用されるため、ディスクスペースの大幅な節約にもなります。

## 消費電力を考慮した検証

消費電力管理は多くのアプリケーションで重視されています。消費電力を管理するのに必要な各種テクニックは、特有の設計、検証課題も含んでいます。RTLレベルでローパワー設計をよりよく進める方法へのお客様のニーズに対応して、メンター・グラフィックスは消費電力を考慮したシミュレーションを開発しました。

QuestaのPower Aware Simulation (PASim)は、メンター・グラフィックスが提供した技術を使って定義されたIEEE標準であるUnified Power Format (UPF)に基づいています。UPFはローパワーの設計意図を表現するポータブルなフォーマットです。Questa PASimはUPF仕様をHDLテストベンチおよび設計記述と組み合わせ、ローパワー設計を正確に検証します。PASimは電力ネットワークがどのように構成され、設計ロジックに接続されているかを理解します。あるパワードメインへの電力供給がシャットダウンされた場合、corruption (パワーダウン)動作を適用し、パワードメインが非動作のバイアスモードの場合はcorrupt-on-activity動作を適用します。パワードメインのポートにはアイソレーション論理機能を適用し、レジスタにはUPF仕様に従ってリテンション機能を適用します。

リテンション・レジスタの動作を正確にモデリングできるのは、業界でもQuestaのPASim以外にありません。セーブ、リストアなどのリテンション機能は、リセットやクロックなどレジスタを制御する信号間の関係に深く依存しており、同じシリコン・ファウンドリでもテクノロジ・ノードが変われば動作は大きく変わります。汎用のリテンション・レジスタの動作を使用している場合は、ローパワー設計のパワーダウン／パワーアップ・シーケンスの検証を正確に完了することはできません。PASimでは、リテンション・レジスタの機能の動作記述をサポートすることによって、シミュレーション結果と実際のハードウェアの動作を一致させることができます。PASimを利用すれば、ターゲットとなる実装テクノロジにおいてローパワー・マネジメント技術が正しく設計、実装されているかどうかをシミュレーション結果で確認することができます。

### 統合された多言語デバッグ

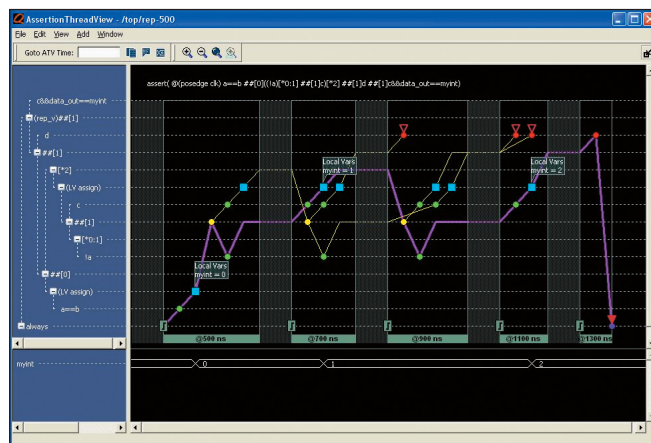
Questaデバッグ環境はすべての標準言語を完全にサポートしており、すべての言語および抽象度において一貫したGUIを利用できます。Questaでは設計および検証環境における主要なオブジェクトが自動的に認識され、これらオブジェクトを直観的な方法で表示およびデバッグできます。例えば、ステートマシン (FSM) が存在すると判断された場合は、FSMデバッグ・ウィンドウ内でFSMの現在のステートおよび時系列でのステート遷移が自然な方法でビジュアル化されます。

Questaはまた、クラス最高のSystemVerilogデバッグ機能を備えており、例えばクラスコンテンツやプロパティの表示、ダイナミック・オブジェクトとスタティック・オブジェクトを1カ所にまとめたウォッチ・ウィンドウが相当します。波形表示によりダイナミックなオブジェクトを時系列で分析できます。OVMクラス・ライブラリで構成された検証環境は、検証環境のコンポーネントがダイナミックなクラス・オブジェクトであっても全体的なシミュレーション階層の一部として認識されます。またQuestaはOVM階層およびトランザクションを自動的に管理します。

観測されたエラーからバグの原因までの因果関係を追跡する作業にも多くの時間と労力が必要ですが、このプロセスもQuestaで自動化できます。グラフィカルまたはソーススペースのデータフローによって、ソースとシンク (ドライバとリーダ) の関係をたどり、バグの原因を容易に特定することが可能です。

### Questa MVC

Questa MVC (Multi-View Verification Component) は、よく使われる標準バス・インタフェースのための検証コンポーネント・ライブラリです。Questa MVCは複数の抽象度のビューおよびインタフェースを提供し、トランザクションレベルから、RTL、ゲートレベル・インタフェースまですべてをカバーしています。Questa MVCは、任意の抽象度で複数のコンポーネントと同時に接続できます。MVCアブストラクション・アダプタ



ATV ウィンドウにより、アサーション評価の完全なデバッグが行えます。

により抽象度レベルが自動的に変換されます。Questa MVCコンポーネントは、OVMやQuesta検証管理ツールを使った検証テストプランに対して互換性があり、制約付きランダム・ステイミュラス、モニター、スコアボード／解析機能が用意されています。

QuestaでオプションのMVCを使用すると、MVCプロトコル認識機能によりトランザクションからそのトランザクションに関するRTL／ゲートレベル信号までプロトコル・スタックの視覚的関連付けが行われます。これによりエラーの認識とそれに対応する原因の特定がスピードアップされます。詳しくは、[www.mentorg.co.jp/products/fv](http://www.mentorg.co.jp/products/fv)よりQuesta MVCのデータシートをご覧ください。

### Questa CodelinkとQuesta ADMS

Questa Codelink™はソフトウェア・テストおよびシミュレーション/テスト対象のハードウェアの両方に対する統一されたデバッグおよびコントロール環境を提供し、プロセッサ・ベースのSoC検証を支援します。Questa ADMSシミュレータは複雑なアナログ/ミックスシグナルSoC設計検証のための包括的な環境を提供します。

詳しくは、[www.mentorg.co.jp/products/fv](http://www.mentorg.co.jp/products/fv)よりQuesta CodelinkおよびQuesta ADMSのデータシートをご覧ください。

### サポートされるプラットフォーム

Questaは32ビットおよび64ビットLinux、32ビットおよび64ビットSolaris、32ビットWindows XP、32ビットWindows Vistaをサポートしています。

Copyright © 2010 Mentor Graphics Corporation. All rights reserved.  
Mentor Graphics は Mentor Graphics Corporation の登録商標です。  
その他記載されている製品名および会社名は各社の商標または登録商標です。  
製品の仕様は予告なく変更されることがありますのでご了承ください。

**メンター・グラフィックス・ジャパン株式会社** 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>