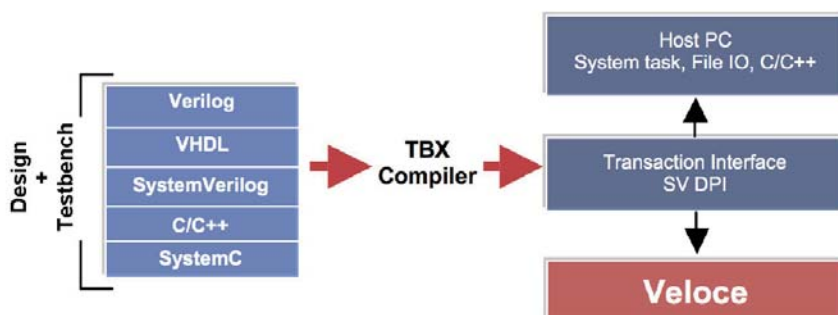


TestBench XPress

トランザクション・ベース・アクセラレーション

Hardware-Assisted Verification
D A T A S H E E T



TBX Design Flow

今日の SoC 設計は、設計規模が拡大し複雑性が高まると共に、従来の検証手法でシステムレベル検証を行うには不十分になりつつあります。膨大な量の組込みソフトウェアが一般的となり、これらの検証の必要性は問題を更に大きくしています。

メンター・グラフィックスの TestBench XPress (TBX) は、Veloce プラットフォームとの組み合わせにより、複雑な SoC 設計に対応する包括的なトランザクション・ベースの検証手法を提供します。

トランザクション・ベースのモデルでは、Veloce エミュレータ内の RTL デザインの検証に抽象度の高いモデリング (C/C++ や SystemC で記述されたモデル) を利用します。これらの抽象モデルでは、ピン・レベルやサイクル・レベルではなく、高位のトランザクションを用いたやり取りを行います。トランザクションとは、関数コール内にカプセル化され、ソフトウェア側からハードウェア側へ送出される、単一または複数サイクルのデータを意味します。これらのトランザクションはエミュレータ上の「トランザクタ」において、DUT (Design Under Test) に対する信号レベルのアクティビティに展開されます。TBX は、他の協調検証環境で見られるレイテンシと帯域幅の問題を解消し、インタフェース・レベルでの高い精度を維持しながら、インサーキット・エミュレーションと同等の検証性能を提供するものです。

SystemVerilog DPI - SCE-MI 2.0

TBX は、SV DPI (SystemVerilog Direct Programming Interface) をサポートすることにより HVL (Highlevel Verification Language) と HDL 間のトランザクション・ベース・コミュニケーション・リンクを作成する基本要素を提供しています。これらの関数、タスク、及びマクロ・インスタンスに基づいて、TBX はワークステーション上の C 環境や SystemC 環境と Veloce エミュレータ上の HDL デザインとの間に接続を生成します。この接続では、言語間のコール、SystemC と Verilog の間のスレッドの整合、引数の変換、及び SCE-MI のコールバックを透過的に取り扱います。このような高度な自動化により、SystemC モデルの抽象度及びパフォーマンスとハードウェア・アクセラレーションのパフォーマンスを結合するトランザクション・ベースの検証環境作成が簡潔に行えます。

特長:

- 第3世代のトランザクション・ベース検証プラットフォーム
- SWシミュレーションと比べ最大1000倍のパフォーマンス向上 - 最大1.5 MHz
- 100%の標準規格準拠 (SV DPI/SCE-MI 2.0) 検証IPの再利用を促進 サードパーティ・ツールとの容易な統合
- 標準のテストベンチ言語をサポート SystemVerilog SystemC C/C++
- 使いやすさ: 確定的ランタイム動作 HVL部とHDL部間の自動同期 簡潔なSV DPIベースのトランザクション・インタフェース
- SCE-MI 1.1との相互運用が可能
- 「アクセラレーション・フレンドリ」なSVサブセット (XRTL) がパフォーマンスを損なうことなくモデリングの柔軟性を提供
- Veloceのランタイム、高度なデバッグ機能と完全に統合
- ソフトウェア開発用仮想プラットフォーム。ソフトウェア開発の生産性を向上
- ターゲットレス。コスト効率が高く、スケラブル
- シミュレータとアクセラレータ間の連携を促進

製品仕様:

OSサポート: Linux RHEL 4.0 SuSe 9.1

Veloceプラットフォーム・サポート:

Solo, Trio, Quattro

コンパイル時間: 最大10-15 M gate/hr

ランタイム・パフォーマンス: 最大1.5 MHz

言語サポート: Verilog RTL, VHDL, SystemVerilog (synth. subset), C, C++, SystemC

HW/SWインタフェース: SV DPI

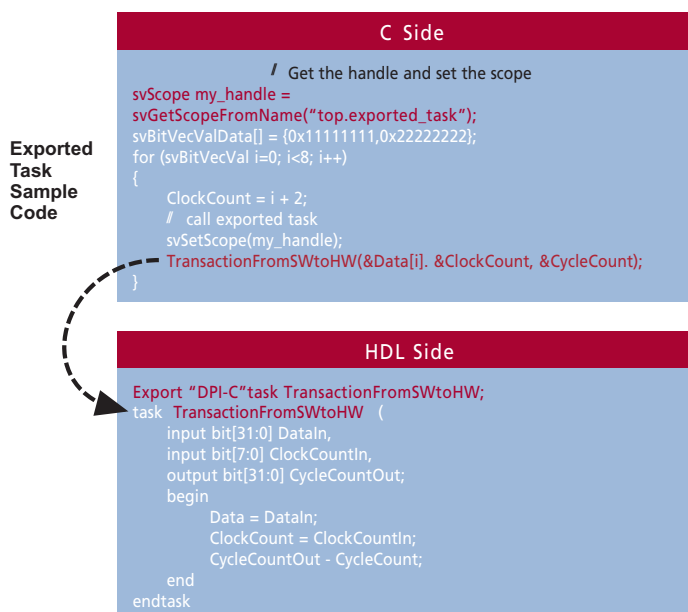
TBXの基本的なトランザクション・モデリング構文は、SV DPIのエクスポート及びインポートのタスクと関数です。下記のコード例では、エクスポート・タスクを確認できます。エクスポート・タスクは、HVL (C側) からコールされる簡潔なVerilogタスクです。このタスクをHVL側でコールすることで、シミュレーション時間を進めるトランザクション (イーサネット・フレーム等) を送出します。

拡張RTL (XRTL)

TBXでは、論理合成可能なRTL言語のサブセットを拡張し、エミュレータ内で最も一般的に用いられる動作構文を合成可能にしています。XRTLは、パフォーマンスを損なうことなく、動作記述ライクなコーディング手法を提供する一連の柔軟なハードウェア・モデリング・ガイドラインにより、設計者をサポートします。

TBXはXRTLで以下の内容をサポートします：

- RTLサブセット
- initialブロック
- initialブロックを用いたクロック生成とリセット論理
- SV DPIの関数とタスク
- イベントとwait
- ループと条件
- 暗黙のステートマシン
- 複数ドライバ
- \$finishと\$display
- \$readmemhと\$writememh



ハイブリッド (トランザクション・ベース+インサーキット) 使用モデル：

TBXを用いることで、トランザクション・ベース手法から従来のインサーキット・エミュレーション環境への拡張を単一プラットフォームでシームレスに実現できます。スタティックなターゲット環境では、HVL環境からのステイムュラス/初期化データにアクセスできるという大きな恩恵が得られます。

Virtual SW開発プラットフォーム：

TBXはVirtual SW開発機能を提供します。ユーザーは、エミュレータ内の仮想SoCに対する組込みSW開発を、エミュレーション速度で行うことが可能です。ファウンドリからのチップを待つ必要はありません。

SystemVerilog (SV) の関数とタスク：

- SVの関数とタスクは、TBX内のHW/SWコミュニケーションに用いる基本的な構成ブロックです。
- Cで実装され、SystemVerilogのimport宣言が行われた関数は、SystemVerilogからコールすることが可能です。このような関数 (interrupt等) をインポート関数と言います。
- SystemVerilogで実装され、export宣言で指定される関数は、Cからコールすることが可能です。このような関数 (configuration等) をエクスポート関数と言います。
- SystemVerilogで実装され、export宣言で指定されるタスクは、Cからコールすることが可能です。このような関数 (PCI Read等) をエクスポート・タスクと言います。
- SystemVerilog DPIではSystemVerilogのデータ型のみがサポートされます。これらのデータ型は、SystemVerilogと外部言語間を双方向に横断することができる唯一のデータ型です。

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphics は、メンター・グラフィックスの登録商標です。
その他記載されている製品名はすべて各社の登録商標または商標です。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号名古屋広小路プレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>