



メンター・グラフィックスのエミュレータ/アクセラレータ、Veloce ファミリ

業界で最も包括的なハードウェア支援検証ソリューションの誕生

メンター・グラフィックスの次世代ハードウェア支援検証ソリューションが、RTLの初回成功への道を開きます。機能検証ソリューションVeloceファミリは、シングルユーザ環境のVeloce Solo、エンタープライズ・クラスのユーザのためのマルチユーザ検証環境であるVeloce TrioおよびVeloce Quattroを提供します。Veloceファミリを使用することで、MHzクラスの処理速度がもたらす業界最高水準のTATを実現し、システム検証期間を1/2以下に短縮可能です。

Veloceは、コンピューティング、マルチメディア、ネットワーキングおよびワイヤレス・アプリケーションの要求にすべて応えるように設計されています。画期的なカスタム・エミュレーション技術と、SoCベースのアーキテクチャ、高度なコンパイラ技術、効果的なデバッグを組み合わせることで業界をリードする高い生産性を提供するVeloceは、厳しいプロジェクト・スケジュールの中、複雑で高品質なエレクトロニクス設計やシステム設計を短時間で検証し、初回でシリコンを成功させる必要に迫られているSoC/ASIC設計者にとって欠かせないツールです。

現状を開閉するスマートな選択肢

ハードウェア支援検証、すなわちアクセラレーションとエミュレーションは、10年以上に渡り設計の規模肥大と複雑化を起因とする課題を解決してきました。アクセラレーションやエミュレーションの採用が珠玉の標準手法であることは誰もが認めるところではあるものの、性能向上率、使い勝手、コスト、設計手法変更の必要性などに挙げられる実用性に関連する懸念から、一握りのハイエンドなパワーユーザによって使用されるだけにとどまり、大多数のIC設計者は、この利用価値の高い予防手段の採用に踏み切れずにいました。

Veloceファミリは、対話型チップレベル・デバッグ、リグレッションテスト、組込みシステムの統合など、各段階でのハードウェア支援検証の普及を促進するソリューションです。性能限界のあるソフトウェアベースのアプローチや、価格性能比に不満の残る他のハードウェア・オプションなどを使用せざるを得なかった現状を開閉するスマートな選択肢を、IC設計者に提案します。Veloceファミリは、検証に際して幅広い生産性向上を達成するための現実的な手段を提供します。

特長：

- アクセラレーションとエミュレーションを実現する多機能プラットフォームが、SWシミュレーションと比較して10,000倍も検証速度を向上
- マルチモードでのアクセラレーション・ソリューションは、アクセラレーテッド・コシミュレーション、SCE-MI-2.0準拠のトランザクションベース・アクセラレーション、パターンベース・アクセラレーション、合成可能アクセラレーションを提供
- 画像処理、ネットワーク、ワイヤレス・アプリケーションのためのMHzレベルの速度で動作する業界最高速ICE（インサーキット・エミュレーション）ソリューション
- カスタム・エミュレーションSoCにより、モデリング精度を損なうことなく、1500万ゲート/時間という高速コンパイルを実現
- 100%の信号観測性がデバッグの生産性を改善
- 最大1億2800万ゲート、8GBのシステムメモリをサポートし、将来的な設計大規模化にも十分に対応

初回システム・サインオフを実現する業界第四世代トランザクションベース・ソリューション

膨大な量の組込みソフトウェアを使用する今日の電子システム設計において、ソフトウェアをハードウェアの状況を踏まえて検証することは最重要課題といえます。Veloceファミリは、TestBench XPress (TBX) テストベンチ・コンパイラを使って高性能なトランザクションベース・アクセラレーションを提供します。TBXは業界初の商用ターゲットレス・エミュレーション機能を実現し、他のソフトウェア・ソリューションと比較して最大10,000倍高速な組込みシステム検証を提供します。TBXは、ペリフェラル、組込みプロセッサ、複数ASIC、組込みソフトウェアまでを単一環境とする、画像処理、ネットワークング、ワイヤレス市場のためのシステム検証ソリューションです。

「実世界の」ステミュラスへの対応により、包括的なアプリケーション・レベルでのソフトウェア・テストが可能です。Veloceは、システム全体を対象としてアプリケーション・レベルのソフトウェアを実行し、デバッグするために必要な性能を備えています。これにより、シリコンのテープアウト以前に、組込みソフトウェアを完全に検証することが可能となり、バグや性能問題などを、ソフトウェアパッチではなくシリコン自体で修正することが可能になります。

業界最高速のTAT

Veloceは業界で最高速なTAT、つまり高速フルコンパイル、高速実行時間および高速デバッグサイクルを実現します。Veloceコンパイラは、ラックマウントされた10台の3-GHzのLinux PCで、1時間に1500万RTLゲート相当のデザインをコンパイルすることができます。この圧倒的な速度により、1日にシステム全体を何度も検証することが可能になります。

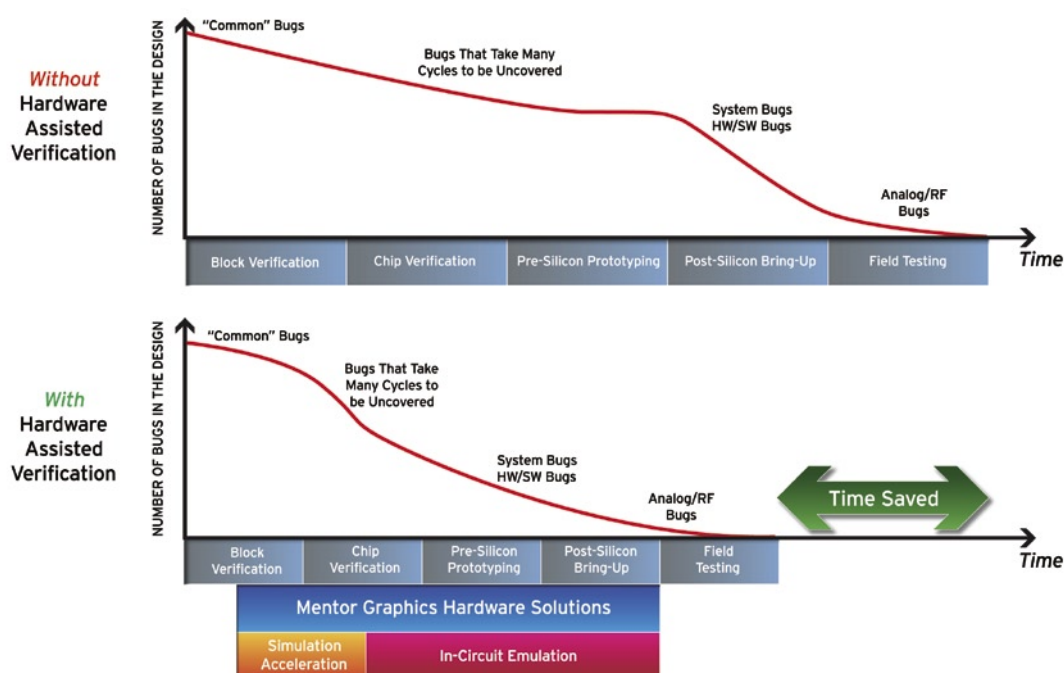
典型的な16-20M規模の設計であれば、RTLレベルで1日に4回から5回までを余裕をもって検証できます。

エミュレーション用カスタムSoCによる高速コンパイルと効率的なデバッグ

市販FPGAは、ハードウェア支援検証のニーズとは離れた方向に向かっています。FPGAシミュレーションには、低速なコンパイル時間、低いデバッグ可視性、IOとピンの比率などの問題があり、また市販FPGAではキャパシティ予測が難しいことが多く、配線遅延にもかなりばらつきがあります。Veloceは、最先端技術を使ったエミュレーションSoCにより、ハードウェア支援検証に革新をもたらします。この新しいカスタム・エミュレーションSoCでは、リコンフィギュラブルなマクロ要素、高速トレース・メモリ、設計メモリ、デバッグ・エンジン、バーチャル・ロジック・アルゴリズムを1つのチップに統合しています。組込みトレース・メモリによりVeloceは設計に含まれるすべての内部信号に対して100%の可視性を提供します。

エミュレーションSoCには先端の90ナノメータ、8層製造プロセスを採用し、スケーラブルな容量、高速コンパイル時間、統合デバッグ機構およびソフトウェア・シミュレーション同等のモデリング精度を実現します。最新のフリップチップ技術を使用することにより、信号インダクタンスの削減と高速スイッチング通信が可能です。また、コアの消費電力を最小限に抑え、パッケージのフットプリント縮小にも有効です。

カスタム・エミュレーションSoCを使用することにより、ランタイム性能も飛躍的に向上します。Veloceを使用することで、設計検証チームはMHz・クラスの検証スピードを実現でき、その高速実行速度により多数の長いテストを実行し、初回成功に確信の持てるRTLおよびシステムレベル検証を実行できます。



メンター・グラフィックスのハードウェア支援検証ソリューションは、プロジェクト期間を短縮し、設計エラーのリスクを低減します。

VirtualWires

メンター・グラフィックスのVirtualWiresは、複数FPGAを使用するシステムに伴う問題を解決する実証済みの技術です。FPGA間通信の帯域幅を増幅することで、FPGA使用率を拡大するテクニックを提供します。また、この技術と同様の帯域幅増幅のためのアルゴリズムが、各カスタム・エミュレーションSoCの中にも統合されていることから、効率的な相互接続トポロジを得るために貴重なキャパシティを無駄にする必要がありません。

エミュレーションSoCに統合されたデバッグ機構

各エミュレーションSoCには、高速DDRトレース・モジュール、16個のトリガ・イベント、ロジック・アナライザが統合されています。そのため、シミュレーションあるいはエミュレーション実行中に、再コンパイルを必要とせずすべてのネットに対して100%の可視性を得ることができます。

強力なデバッグと解析

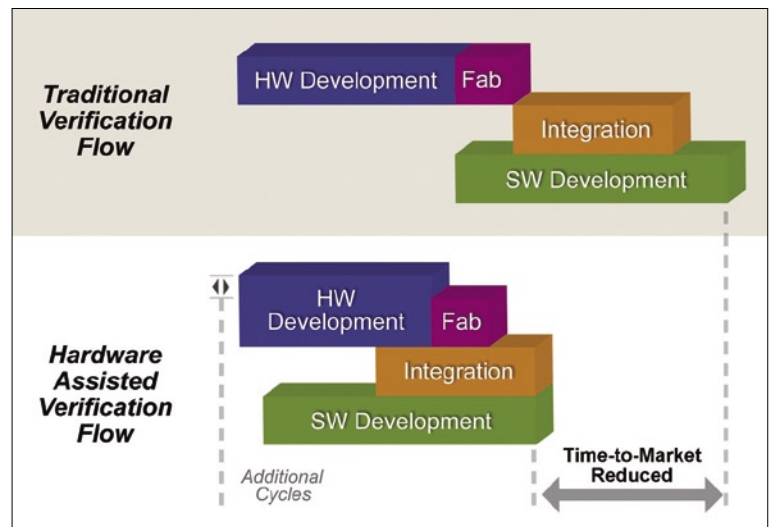
この100%の可視性とシミュレータ・ライクなデバッグ環境を組み合わせることにより、最適な検証効率が実現され、複雑な数百万ゲート規模の設計に隠れたバグを迅速に発見することができます。特許取得済みの技術に基づくこの100%の可視性により、再コンパイルの必要なく、設計に含まれるあらゆる信号を確認することができます。さらに、各エミュレーションSoC上に統合されたトレースとデータ・サンプリング構造により、指定されたサンプル深度あるいはテスト全体に対する100%の可視性が提供されます。

Veloceを使用することで、RTL内の潜在的な問題をデバッグすることが可能です。Questaと同様の外観と操作性を持つ包括的な環境が用意されていることから、シミュレーションから高性能ハードウェア支援検証への移行にかかる習得期間は最小限です。波形ビューアに加え、ソース・ウィンドウがデザインをテキスト表現として表示します。また階層ウィンドウでは設計の構成とブロック間のデータ・フローを確認することができます。

さらに高速な設計/デバッグサイクルを実現するために、Veloceは、変更されたデザインあるいはテストベンチの一部のみを再コンパイルする、モジュール単位のインクリメンタル・コンパイル機能を提供します。

革新的なコンパイル技術

Velocelは、既存するQuestaベースの検証環境とシームレスに統合可能なコンパイラ・ソフトウェアを使用しています。このコンパイラはHDLの構文とセマンティクスが正しいかどうか解析し、RTL Compiler (RTLC) に最適なコードイメージを生成します。RTLCは、ソースHDLとRTLネット名のセマンティクスを維持しながら最も効率的な実行コードを生成します。Veloceコンパイラはその後、カスタム・エミュレーションSoC向けのテクノロジー依存のマッピングを、タイミングや相互接続制約に違反することなく実行します。



高速 HW/SW 協調検証による生産性の向上と time-to-market の短縮

Runtime Managerは、ハードウェア・ランタイム制御を行うとともに、Veloceシステムと「ホスト」PC間の通信を行います。デバッグはハードウェアのトレースバッファと通信し、データダンプを高速実行します。

高精度なモデリング

他のカスタム・プロセッサ・ソリューションとは異なり、最大30個までの完全に独立した非同期クロック・ドメインをサポートするVelocelは、クロック同期ロジック内で発生するレース条件やタイミング問題によるハードウェア・バグの検出が可能な唯一のプラットフォームです。特定の同期クロック比率に依存するロジックのエミュレーションが可能で、幅広いモデリング・スタイルに対応することから、メタスタビリティ、クロックバウンダリ・クロッシング、複数プロトコルのやりとりなどを起因とするバグも検出できます。

幅広い言語サポート

IEEE Verilog 1364-2001、IEEE VHDL 1076-2002、SystemVerilog 3.1a標準をサポートしたVelocelは、ラッチ、複数クロック、ゲートッド・クロック、ユーザ定義プリミティブ (UDP) など、幅広いHDLコンストラクトをコンパイル可能です。合成可能なHDLコンストラクトだけでなく、複雑なメモリ・モデルを扱うこともできます。

アクセラレーテッド・コ・シミュレーション

アクセラレーテッド・コ・シミュレーション・モードは、ソフトウェア・シミュレーションと比較して10~100倍の性能改善を実現します。既存デザインとテストベンチを使用し、高速化を図りたいトップレベルHDLモジュールを指定するだけで、このモードを実行し、真価を引き出すことができます。設計のうち「高速化可能」な部分のみがVeloceシステムにロードされ、残りのデザインとテストベンチ部分は、ソフトウェア・シミュレータで実行されます。Veloceとホストマシン間の接続は、高速チャネルを用いて行われます。

高度なトランザクションベース・アクセラレーション

トランザクションベースのアクセラレーションでは、ソフトウェア・シミュレーションをVeloceから分離し、DUT (Design Under Test) とテスト環境の間でパケット・データ転送を行います。これによりソフトウェア・シミュレーションと比較して10,000倍の性能が達成できます。最高性能は、データ圧縮、ハードウェア支援エンジンとPC間通信のレイテンシおよび頻度を最小化することで達成されます。

このトランザクションベースのアクセラレーションは、AccelleraのStandard Co-Emulation Modeling Interface (SCE-MI) 標準に基づいたものです。これは、C、C++、SystemC、SystemVerilogで記述されたテスト環境をサポートしています。

パターンベース・アクセラレーション・モード

パターンベース・アクセラレーション・モードは、高速ベクタ・ストリーミング機能により、ソフトウェア・シミュレーションと比較して10,000倍の性能を達成します。この機能とVeloce独自のアーキテクチャを組み合わせることで、ネイティブ・ネットリストのピンとネットレベルの両方で、エミュレーション速度でのstuck-atフォルトのテストベクタ・グレーディングが行えます。

アクセラレーテッド・テストベンチ・モード

Veloceコンパイラは、システムタスク、ユーザタスクを含む、テストベンチで使用頻度の高いベヘビア・コンストラクトをサポートしています。アサーションもVeloce内でネイティブに実装できます。これにより、Veloce内でデザインとテストベンチ両方をICE相当の速度で実行することができます。

プリ/ポスト・シリコン検証のための高性能協調検証

Veloceは、ICEを使用した組込みソフトウェア検証プロセスを高速化するオプションも提供します。ICEモードでは、Veloceはプロトタイプボードにターゲット・インタフェース・モジュールを介して接続されます。Veloceシステムには通常、テスト装置 (ワイヤレス・アプライアンス・テストなど) やソフト・トランザクションベース・モデルなどのテスト環境を使ってシミュレーションしたASIC/SoCのデザインをロードします。ターゲット環境が完全に静的である場合には、Veloceがターゲットに対してクロックを供給します。この場合はソフトウェア・シミュレータと同様に、RTLに対してスタート、ストップ、ブレークあるいはシングル・ステップなどの操作が可能です。Veloceを停止させた状態では、メモリのピークやポーク、RTLネットリストの確認、レジスタの強制/解放など様々なことが行えます。

ICEデバッグ時には、研究所で使用するロジック・アナライザと全く

同じように複雑なトリガ条件を作成できます。トリガ条件は直感的なグラフィカル・ユーザ・インタフェースを使って生成し、任意の状態要素あるいはプライマリ入力をトリガ入力として使用できます。また、64ステートもの複雑なトリガ・ステートマシンを構築することも可能です。各状態には最大4個の遷移を持たせることができます。

VeloceファミリのICEモードは、業界最高速のMHzクラス性能をモデリングやクロック精度、デバッグ可視性を損なうことなく提供することから、ASIC/SoCに実装するアプリケーション・レベルのソフトウェアの理想的な実行、デバッグ環境といえます。ソフトウェア・チームは既存のハードウェア支援ソリューションと比較して半分の時間でブート・プロンプトまで到達できます。ソフトウェア・エンジニアとQAチームは、最初のシリコン入手前にドライバ、アプリケーション・ソフトウェアおよび診断プログラムのデバッグを実施でき、最大50%の開発サイクル短縮が可能です。ソフトウェアをテープアウト前に検証することで、ハードウェア、ソフトウェアあるいはその両方に含まれる検出困難なバグを見つけ出し、設計チームはテープアウト前にHDLに含まれるハードウェア・バグを修正することが可能になります。

Veloceファミリはまた、ソフトウェア環境にJTAG接続する際に必須となるダイナミック・ターゲットをサポートし、その際にもMHzクラスの性能とASIC/SoCに対する100%のデバッグ可視性は保たれます。他のカスタムプロセッサ・ベースのソリューションとは異なり、Veloceはダイナミック・ターゲットから生成された最大30個までの非同期クロックに対応可能です。VeloceシステムはTI Code Composer、ARM AXD、ARM RealView Developer Suiteを含む数多くの標準的ソフトウェア開発環境をサポートします。Veloce Soloは最大1024までの双方向I/Oをサポートし、Veloce Quattroはその4倍の4096までの双方向信号をサポートしています。

包括的なソリューション

Veloce SoloとVeloce Quattroは、画像処理、コンピューティング、ネットワーク、ワイヤレス市場に特化した特定アプリケーション向けソリューション群を提供しています。これらのソリューションはプリ・シリコンSoCプラットフォームの検証を促進すると共に、装置開発チームによるソフトウェアの同時デバッグを可能にします。ソフトウェア・チームはオペレーティング・システムの移植、デバイス・ドライバ開発、大部分のソフトウェア・スタックの開発などを、シリコンが準備される数ヶ月前に完了することが可能になります。

このソリューションがもたらす生産性向上に関する特長には、検証完了までの期間短縮、使用操作性の向上、コスト効率を犠牲にしない優れたスケラビリティなどが含まれます。

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphics は、メンター・グラフィックスの登録商標です。
その他記載されている製品名はすべて各社の登録商標または商標です。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号名古屋広小路ブレイス
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>