

Calibre PERCは、実装された Industry Council on ESD Target Levels が定める推奨ルールを使用して実行し、Calibre RVE で ESD 違反を表示します。

## CalibreのプログラマブルERC (Electrical Rule Checking) : 新たなレベルの回路検証

設計における信頼性の確保は、IC設計者が大きな関心を寄せる懸念事項になりつつあります。しかし、これはEDA業界が対応すべき分野と言えるでしょう。このニーズ拡大を受け、メンター・グラフィックスは、回路検証および電気的検証プロセスで生じる信頼性上の問題を解決するCalibre® PERC (Programmable Electrical Rule Checker) を開発しました。Calibre PERCは、ESD (Electrostatic Discharge: 静電気放電) および多電源ドメイン・チェックに特化して設計されています。回路図レベルのERCチェック、ならびにレイアウトでの形状および電気的チェックにおいてERCチェックをカスタマイズでき、設計インプリメンテーションのための新しい回路検証ニーズを、より強力かつ柔軟に処理します。

ESD、高度なERCおよび多電源ドメインは、今日の複雑な形状および電気的検証において解決が求められる必須条件リストの中でも上位に挙げられる課題です。これらの高度な要件はすべて、単一のデバイス/ピンとネットの関係では説明のできない、トポロジカル・ビューを必要とします。トポロジカル・ビューには様々なレイアウト関連のパラメータや、回路依存のチェックを含めることができます。Calibre PERCは、これらの複雑な検証要件を満たす初めての市販EDAツールです。

Calibre PERCは、プログラマブルな入力により、回路図から出力したネットリスト、またはレイアウトから抽出された設計ネットリストから複雑な回路トポロジを自動的に識別できます。その後、ユーザの定義した電気的または形状的な制約について検証します。業界標準のCalibre nmLVS上に構築されたCalibre PERCは、デバイス・グループの識別や、レイアウトに対する高度な計測を正確かつ効率的に行う独自の機能を備えています。

### 特長:

#### • 次世代回路検証

Calibre PERCは高度な回路検証機能を提供します。ESD問題、複数の電源ドメインにわたる設計から生じるエラー、高度なERC条件に対応するために必要な各種チェックを実行します。

#### • 設計信頼性の向上

Calibre PERCは、複雑なルールを検証し、短期的、長期的、または壊滅的な故障につながる恐れのある電気的違反を見つけ出す独自の機能を備えています。

#### • 設計精度の向上

トポロジカルなERCにとって、デバイス認識の精度は極めて重要です。Calibre LVSをベースに構築されたCalibre PERCは、Calibre LVS同様、ワールドクラスのシリコン製造に必要な信頼性の高いデバイス認識およびタイムリーな処理を提供します。

#### • 処理時間の向上

Calibre独自の自動化された階層、ロジック・インジェクション技術により、実質的に無制限の設計規模に対応し、高速な処理を実現します。

#### • 使いやすく、完全にカスタマイズ可能

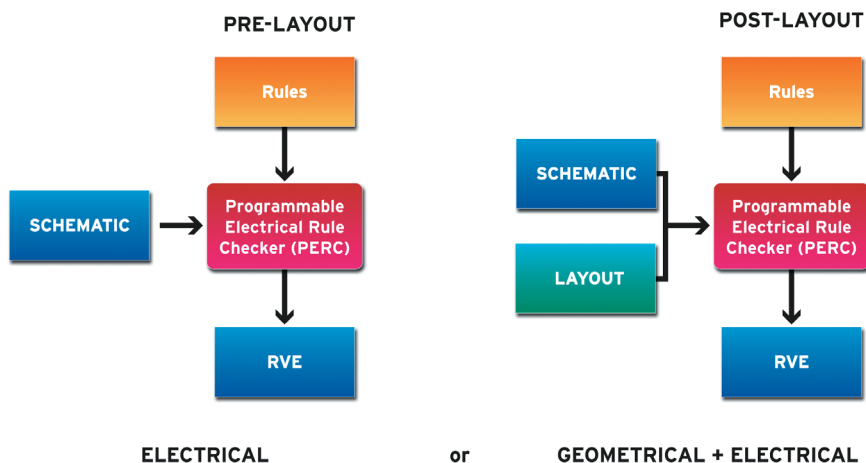
他のCalibre製品同様、Calibre PERCはTCLおよび標準SVRFコマンドを使用します。このインターフェースを使って、内製の電気ルール違反チェック手法に対応することも可能です。Calibre PERCは、レイアウト抽出されたもの、ソースから出力されたものを含め、あらゆるネットリストに適用できます。

#### • リスクゼロの性能、投資保護、品質

Calibre物理検証プラットフォームと完全に統合されたCalibre PERCは顧客の既存サインオフ・フローに簡単に導入可能です。

#### • 優れたサポート品質

EDAで唯一の5つ星サポート



行できます。ポストレイアウト検証では、Calibre PERCを使って複雑な形状パラメータを計算してチェックに取り込むことにより、電気的データと形状的データの両方を検証ステップに組み込むことができます。

ジオメトリの微細化が進む中で、高度なデバイス・パラメータを正確に抽出することは、安全なERC運用にますます重要となっています。90nmから65nm、45nmと先端プロセスノードに移行するにつれ、微細プロセスノードのインプリメンテーション設計を成功させるには、クリティカルなERCにカスタム測定を取り入れることが必須であると実感されるでしょう。

Calibre PERCは回路図のみ、あるいはレイアウト・ネットリストからも実行できます。

## ESD: 静電気放電

ESDルール検証はチップの壊滅的な欠陥を避けるために必須です。複雑な設計では、洗練されたESD保護のためのデバイス構造を検証する必要があります。通常これらの構造は、より優れたESD保護回路を実現するための個々のデバイスで構成されます。また、デバイスの寸法に対する形状的制約、フィンガー数、I/O PADからの距離、複数の電源ドメイン間の様々な回路の組み合わせを考慮しなければなりません。Calibre PERCは、これらの複雑な要件に対して整然とした手法で対応します。

## 複数の電源ドメイン

複数の電源ドメインを持つ設計では、システム統合とIP再利用に伴う異なる電源ドメイン間での様々な接続が回路検証を複雑にしています。トップセルやI/O PADに特定のルールを適用する場合には設計階層および制約を考慮する必要がありますが、複数の電源ドメインのブロック間にはこれとは別のルールを適用しなければなりません。異なる電源ドメイン間に不適切な接続が行われている場合、Calibre PERCはそれらを特定できます。

## 回路図およびレイアウト・フロー

Calibre PERCは、回路図のみ、あるいはレイアウト・ネットリストからも実行できます。つまり、回路図上で実行した場合には設計サイクルの早い段階で電気的エラーを発見し、レイアウトを実装する前に修正することが可能です。回路図のチェックが終了した後には、レイアウトのチェックを検証ステップの1つとして、または回路図上でチェックできない形状的な制約を検証する目的で実

レイアウトベースのフローでは、Calibre PERCは自動デバイス認識や標準BSIM3/4およびPSPパラメータによるパラメータ抽出、また必要に応じてユーザ定義による、より複雑な制約オプションなどを提供しています。

## 包括的なソリューション

Calibre PERCは、形状的、電気的、またはその両方に対応した包括的な制約チェックを行う唯一のソリューションです。Calibre Interactiveからの起動とCalibre RVEでの結果表示を含め、ユーザの既存サインオフ・フローに簡単に統合できます。

## サポートされるプラットフォーム

32ならびに64 bit Red Hat Linux、SUN Solaris、HP-UX

\* "ホワイトペーパー 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements"  
出典: Industry Council on ESD Target Levels

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.  
Mentor GraphicsはMentor Graphics Corporationの登録商標です。  
その他記載されている製品名および会社名は各社の商標または登録商標です。  
製品の仕様は予告なく変更されることがありますのでご了承ください。

**メンター・グラフィックス・ジャパン株式会社**

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>