

DRCは従来の「pass/no pass」判定による準拠チェックから、複数の解析をサポートする包括的な手法へと進化し、パフォーマンスとスケールアップの改善、生産性の向上、サイクル時間の改善を可能にしています。

## Calibre アーキテクチャの進化

Calibreのコアとなる処理エンジンは、微細化するジオメトリおよび複雑な製造手法に対応するため絶えず進化を続けています。「pass/no pass」判定を使った従来のDRC手法は長年にわたり使用されてきましたが、ナノメータ時代のプロセスで発生する多様かつ複雑な状況を正しく考慮するにはこのような単純な準拠テストでは不十分です。

ナノメータ・プロセス・テクノロジーにおいて高い歩留まりを保証するには、デザインルール・チェックを超えた、統計的歩留まり解析による新しい情報や新しいレベルでの判断が必要とされています。設計者は、現在彼らが直面している複雑化したプロセス制約や、拡大するプロセス変動を考慮に入れて設計を評価するための新しい方法を必要としています。

メンター・グラフィックスは、業界をリードし実績のあるCalibreアーキテクチャをベースに、第5世代のCalibre処理エンジンを開発しました。Calibre nmはコア技術を進化させ、設計者に包括的な解析機能と高速な処理時間およびサイクル時間の短縮を実現します。最先端の各種DRC手法、スケールアップ、パフォーマンス、解析機能により、設計者は全く新しいレベルの生産性で製造へのハンドオフを実現することができます。

### 特長：

- ナノメータ設計のための包括的サインオフ。準拠ベース、モデルベース両方の物理検証を考慮しています。
- Calibre nmDRCのHyperscalingによる処理時間と生産性の大幅な改善、ならびに既存のマルチコアおよび分散プロセッシング・ファームを効率的に利用した高度なデータ処理オプションにより、既存の設備投資の寿命を延長します。
- モデルベースの検証を使用し、統合された強力な環境で包括的な欠陥解析を行うことにより、最も顕著な歩留まり改善が可能な場所を調べることができます。歩留まり指標は問題の種類、セルおよびレイアウトツールのウィンドウ別に評価されます。
- インクリメンタル検証により、設計者は数時間待つことなく、数秒後にデバッグを開始することができます。この「リアルタイム」デバッグにより全体の繰り返し回数およびサイクル時間を削減でき、設計者の時間を有効に活用できます。
- データベースへの直接読み込み/書き込みアクセスにより、DFMデータをGDSII、OASIS、LEF/DEF、MilkyWay、OpenAccessを含む設計データベースにバックアップノテーションすることができます。OASISストリームファイル・フォーマットのサポートによりファイルサイズが縮小され、高速な読み込み/書き込みを可能にすることにより効率的なファイル転送およびデータ・ストレージが可能です。
- Calibre TVFルール・ファイルのサポートによりコード入力的大幅に削減され、これら高度なルール・ファイルの開発および保守が簡素化できます。

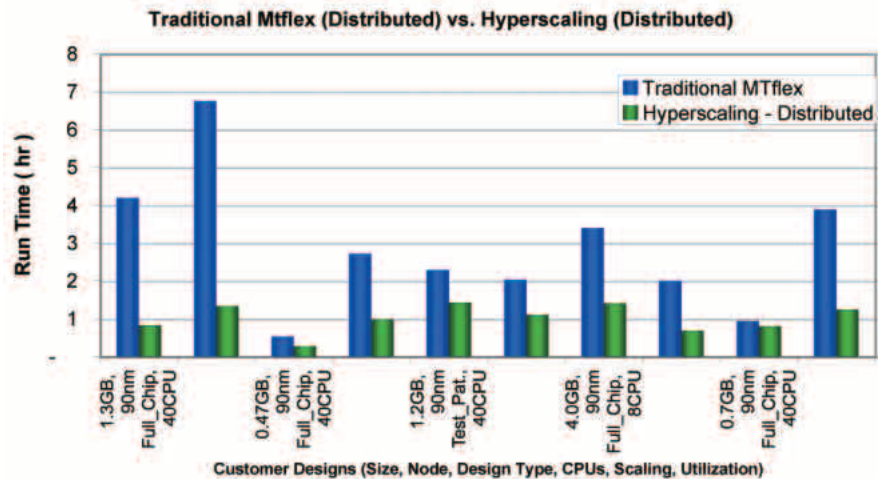
## Calibre nm DRC の Hyperscaling による劇的な処理時間の改善

設計のサイズと複雑性が拡大し、次世代テクノロジー・ノードで必要とされる新しいルールチェックが爆発的に増える中、TAT短縮の必要性は非常に重要な問題です。

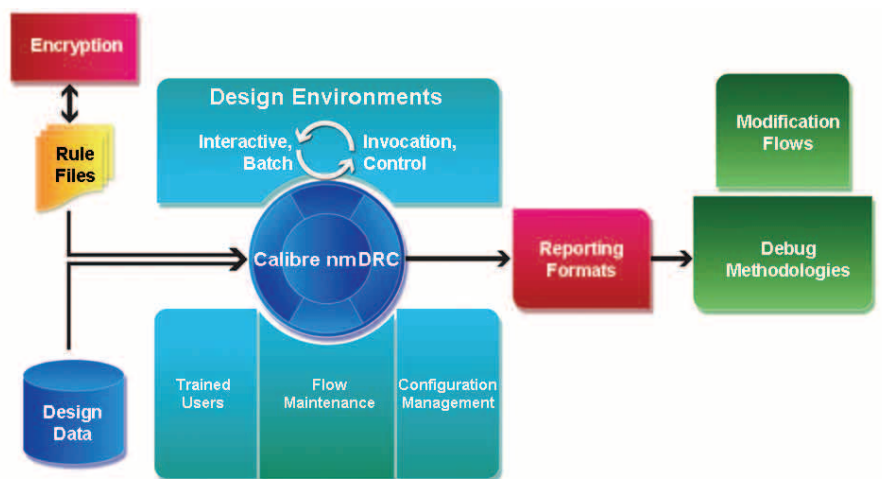
Calibre nm DRC の Hyperscaling は Calibre の持つ量産性により、実証済みの高性能アーキテクチャを拡張することにより、スケーリングの大幅な拡大と TAT の短縮を実現したものです。8-way Opteron あるいは EM64T Linux ボックス等、集中あるいは分散共有メモリ・プロセッサ環境で実行できます。既存の装置を継続して利用可能とすることにより、設計チームは余分な設備投資を回避できます。

設計検証は、既存のハードウェアを使用しても従来より高速処理が可能ですし、新規にハードウェアを導入して更なる改善を図ることも可能です。必要なハードウェアのリソースが従来より少なくて済みます。セルブロックの検証ジョブを並列して実行することができますので、同じハードウェア上で複数の設計者が設計の各部分で作業し、それらを統合しフルチップ検証に利用することも可能です。これによってパフォーマンスと TAT の目標を通常コストと比較してわずかなコストで達成もしくは上回ることができます。

Calibre nmDRC の Hyperscaling はまた、現在の SVRF デックに変更を加えることなく生産性の向上を可能にし、デックの開発に対するこれまでの投資とエンジニアの専門知識を保護します。数年前に作成された SVRF デック、あるいは最先端の 54nm 用デック、いずれの場合も処理は高速になります。Calibre nmDRC の Hyperscaling は、作業対象が 180nm 設計でも 45nm 設計でも、パフォーマンスを改善できます。



Calibre の新しいアーキテクチャは、既存装置に対して 40 倍ものスケーリング改善および 100 CPU までのスケールアウトが可能です。8 CPU 程度の構成であっても、DRC の実行スケーラビリティは 5 倍から 8 倍に改善されています。24-CPU のマシンにおいても、スケーラビリティは最大 23 倍とほぼリニアなままです。上記のグラフは Calibre MTflex と、Hyperscaling 対応 Calibre nmDRC を比較した顧客ベンチマークの結果です。Calibre nmDRC の Hyperscaling は 2 倍以上の処理速度改善により劇的な生産性向上を達成しています。



Calibre nmDRC は、設計者が現在利用している CAD 環境にリスクやフローの分断を招くことなく組み込み、使用可能です。ユーザーは既存のインフラ内で新しい機能と劇的なサイクル時間改善の利点を即座に実現できます。

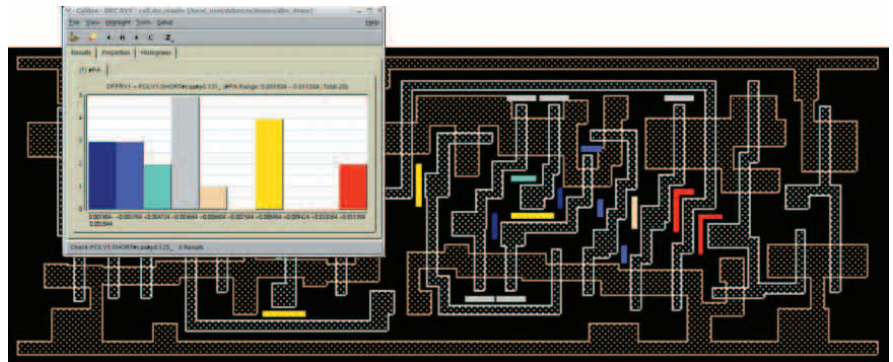
## クリティカル欠陥解析のための モデルベース検証

Calibre nmは、新しく、より包括的なサインオフ手法を提案します。モデルベースの検証はクリティカル・エリアと推奨ルールの両方を解析可能で統一された強力な環境を提供します。これらの機能は、ランダム欠陥およびシステムチック欠陥という歩留まり損失の主要な原因に対処するためのものです。設計者はモデルの解析結果をグラフィカルな表示とデータ・ドリブンの各種テーブルを使って視覚的に確認し、歩留まりの改善をどのように、どの部分に対して行ったらよいかを簡単に理解できます。これはCalibre Design for Manufacturing (DFM) デックの形で使用可能で、設計者は「ゴールデン」DRCデックから「ゴールデン」DFMデックへと自然に移行することができます。

Calibre nmは、DRC SVRF言語を拡張することにより、歩留まりおよび歩留まりモデリングに関する情報を製造チームから設計者に伝達する手法を提供します。最も著しい歩留まり改善可能箇所を特定し、歩留まり指標を問題、セル、ウィンドウ単位でグレード判定して提示します。Calibre nmは、推奨ルールに満足できなかったフィーチャーを、深刻度別に評価し、またクリティカル・エリア解析を使用しランダム・パーティクルに対する感受性を評価します。この両方を同じデック実行およびレビュー環境で評価することにより、設計者に対して2つの解析結果のトレードオフを理解し、歩留まり改善のためのレイアウト変更を決定するためのフォーマットを提供します。設計者は最も影響の大きい欠陥に集中することができ、生産性と歩留まり両方の改善に役立ちます。

## データベースの直接読み込み

Calibreは、GDSII、OpenAccess、Milkyway、LEF/DEF、OASISといった全てのオープン・データ・フォーマットを読み込める点がユニークです。1つの操作がソフトウェアの異なるバージョンを含めた全ての設計環境に合わせて変換されます。この直接読み込み機能によってGDSストリーム出力の必要性がなくなります。サードパーティ製ツールに簡単に統合可能なこのデータベース・インタフェースは、レイヤ・マッピングを自動的に処理し、DFM最適化結果を設計データベースにバックアノテートすることが可能ですので、設計の繰り返し毎にGDSIIデータを保存しておく領域が不要になり、ディスク容量が大幅に削減可能です。直接読み込みを行うために特別なレイアウト・ツールは必要ありません。



Calibreは、クリティカル・エリアおよび推奨ルール違反の順序づけを行い、これらのチェックを組み合わせることで単一の表示環境で評価できます。これにより、設計者が設計と歩留まりのトレードオフを理解し、情報に基づいた選択を行うための全体像が提供されます。

```
Traditional SVRF
Recommended Rule Metal1
...
Repeat For Metal2 through Metal9
Total Lines of SVRF Code = 509
```

TVFはDRC実行に必要なコード量を大幅に削減します。この例はメタルラインの幅を優先付けするための推奨ルールで、SVRFを使った場合に509行あったものがTVFコードではわずか64行に削減されています。

```
Calibre TVF
Recommended Rule Metal1
...
Call Template = 2 lines of TVF Code
Library Template = 59 lines of TVF Code
Forloop all metals = 3 lines of TVF Code
Total lines of TVF Code = 64
```

## TVF

TVF(Tcl Verification Format)は、高位のSVRF言語プロセッサであり、DRCを実行するのに必要なコード量を大幅に削減することができます。これによりルールのスクリプト記述や保守が簡素化され、細かなコードを変更し、検証する手間が必要なくなります。TVFではブーリアン式、条件およびループ・フロー制御、レイヤ名の変数、手続き型のカプセル化、算術演算などがサポートされています。

## インクリメンタル検証

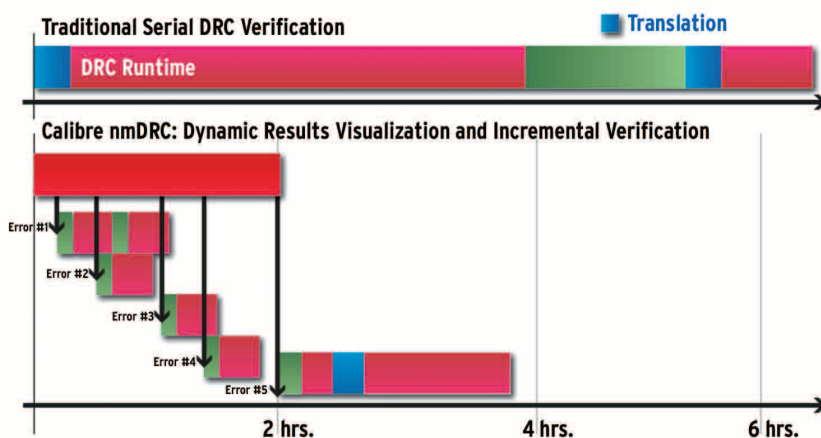
インクリメンタル検証は、繰り返しプロセスを根本的に変えます。従来の手法では、設計者はデバッグ工程に入る前にDRCの実行完了を待たなくてはなりません。インクリメンタル検証により設計者は、最初の検証を実行している間、最初のエラーが発見された時点で即座にデバッグを開始することができます。

Calibre nmは、変更されたエリアを自動的に示し(右図参照)、読み込み、影響を受けたチェックのみを再実行します。また、変換にかかる時間が解消されますので、サイクル時間全体を更に短縮し、設計者は1日のうちに数回の実行/デバッグを行うことが可能になります。

Calibre nmにおける強化点(Hyperscaling、インクリメンタル検証およびデータベースの直接読み込み)を全て反映したインクリメンタルDRCは、変換処理を必要とせずデバッグとDRCをコンカレントに実行可能で生産性の向上に貢献します。物理検証サイクル全体を1日以内に終わらせることが可能です。



Calibre nmDRCは、エラー領域を識別し変更があったエリアのみを読み込むことにより、サイクル時間を劇的に短縮します。



上のグラフでは繰り返しサイクルの改善が示されています：

従来の6時間にわたるDRCサイクル時間では1日に完了できるのは1サイクルのみで最高でも2回目のデバッグ・サイクルを開始するだけの時間しか取れませんでした。

## Calibre nm プラットフォーム

業界標準であるメンター・グラフィックスのCalibreプラットフォームは、設計と製造を結ぶ完全なソリューションを提供します。Calibreプラットフォームは、ナノメータIC設計において歩留まりと信頼性を改善するのに極めて重要となるデータの受け渡しを実現するものです。単一の強力なポリゴン処理エンジンをベースとしたCalibreプラットフォームには、物

理検証、寄生素子抽出、解像度改善、マスクデータ作成、リソフレンドリー設計、DFMのためのソリューションが含まれます。

詳細なCalibreルール・ファイルならびにDRC、DFMのための広範なナノメータ・プロセスのサポートは、Chartered、IBM、Jazz Semiconductor、STMicroelectronics、TSMC、UMCを含む世界の大手半導体ファウンドリより提供されています。また、CalibreはChartered、TSMCならびにUMCにおいて標準の物理検証環境として社内で利用されています。

製品の仕様は予告なく変更されることがありますのでご了承ください。  
Mentor Graphicsは、メンター・グラフィックス・コーポレーションの登録商標です。  
その他記載されている製品名はすべて各社の登録商標または商標です。

## メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>