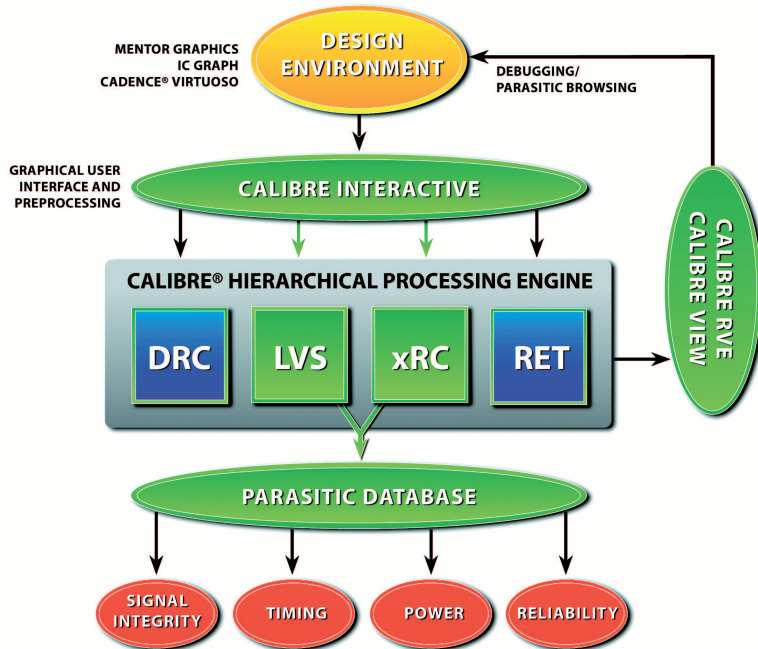


Calibre xRC

寄生素子抽出ツール

Parasitic Extraction

D A T A S H E E T



Calibre xRCは、業界標準Calibre 階層エンジンCalibre LVSと完全に統合されています。また、他社レイアウト設計環境上での実行・結果検証も可能です。寄生素子情報は、トランジスタ・レベル、ゲート・レベル、ミックス・レベルといった様々な解析フローに対応できるデータベースに蓄えられます。

トランジスタ、ゲートおよびミックスレベル解析寄生抽出ツール：Calibre xRC

アナログ・ミックスシグナル・システム・オン・チップ（AMS SoC）設計では、多様かつ高精度な解析・シミュレーションが求められるため、高い精度で寄生データを抽出する強力なミックスレベル対応のツールが求められています。

Calibre xRCは、AMS SoC設計者に設計スタイルやフローに依存しない寄生素子抽出ソリューションを提供します。アナログ回路等の小ブロック設計者に対してCalibre xRCは、高精度な抽出と対話的なシミュレーションに加え、レイアウト環境と連係した抽出情報の対話的検証方法を提供します。デジタル回路を含めた大規模のフルチップの設計者に対しては、高精度そのままにCalibre階層ポリゴン・プロセス・エンジンによる高速な抽出処理性能を提供します。単一寄生素子抽出ツールでこのように性格を異にした設計手法を実現させることは、複数抽出ツールのサポート・メンテナンスに起因する無駄な負担やエラーからユーザを解放します。

Calibre xRCはCalibre Interactiveを通して汎用レイアウト環境から容易に実行することができます。Calibre xRCはアナログおよびデジタル回路抽出結果を効率的にデバッグするための表示環境（Calibre RVE）に統合されており、レイアウトあるいは回路図に対して直接、寄生素子情報を表示し、視覚的に確認することができます。また、Calibre Viewを介して設計環境から直接再シミュレーションさせる手法も提供しています。Calibre xRCは

特長：

- ・ **フルチップ寄生素子抽出**
Calibre xRCは、Calibre階層エンジンをベースにした高性能・高精度のメモリ、アナログ、ASIC、SoCデザインにおける寄生容量抽出を実現します。
- ・ **Calibre LVSとの連携**
Calibre LVSで生成されたデータは、Calibre xRCにおける回路図バックアノテーションに必要とされる全ての情報を提供します。
- ・ **多様な抽出後解析フローへの対応**
トランジスタ・レベル及びゲート・レベルの寄生データ（C, RC, RCC）は、トランジスタレベル、ゲートレベル、ミックスレベルといった解析フロー対応可能な形で、抽出データベースに蓄えられます。
- ・ **高精度**
Calibre xRCの高精度モデル・ベース・エンジンは、設計フロー全体を通じて有効な情報を提供し、さらに最先端の90nmといったプロセスで高精度な抽出を実現しています。
- ・ **容易なツール起動・レイアウト設計環境への統合性**
Calibre InteractiveからGUIを通じての容易な起動、及び抽出結果の確認等はCalibre View、Calibre RVEから行います。どちらもメンターおよびケイデンス社のレイアウト設計環境に統合されています。
- ・ **単一のルール・ファイルで単一のフロー**
デバイス抽出ルール等はCalibre LVSと全く共通であり、これにより統合された寄生素子抽出フローが実現されます。その結果、SoC設計フローは大幅に効率化され、設計サイクル時間の短縮に繋がります。その上、複数ツールのメンテナンスが不要になる大きなメリットが得られます。

Calibre LVSと連動して、ソースの回路図に対して最も単純なフローでバックアノテーションを可能にする市場唯一のAMS SoC対応の寄生容量抽出ツールです。

スムーズな上流への統合を提供するCalibre xRC

・ Calibre LVSとのトランジスタ・レベルの統合

寄生素子入りネットリストを、既存のシミュレーション・テストパターン等で運用する場合、レイアウトから抽出されたネットリストは寄生素子を含めた形で、回路図ネットリストへバックアノテーションされなくてはなりません。その際LVSツールと抽出ツールの連係は大変重要になります。

Calibre xRCはCalibre LVSの結果を自動的に読み込み、トランジスタおよびゲートレベルのレイアウト後シミュレーションで必須である、高精度なデバイス・寄生素子情報を抽出します。またシミュレーション後の結果を回路図にバックアノテーションすることも自動的に行えます。

・ 配置配線フローとの統合

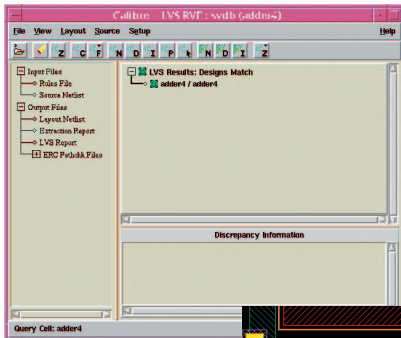
Calibre xRCは汎用配置配線ツールから出力されるLEF / DEF 及びアノテーションGDSIIを入力データとしてサポートしており、配置配線ツールからの、ゲートレベル・ネットリスト抽出・シミュレーションというフローを構築できます。さらに、Calibre LVS・xRC実行により、DEFとGDSII両方を活用し、セル内トランジスタレベルの寄生情報をゲート間配線に反映させた、より高精度なゲートレベル抽出を可能にします。

・ Calibre Interactiveとの連動

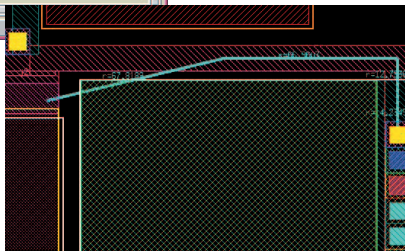
Calibre xRCはCalibre Interactiveと完全に統合されており、ユーザはメンター・グラフィックスのIC Stationやケイデンス社Virtuosoといった汎用レイアウト環境内からインタラクティブに寄生素子抽出をすることができます。

・ Calibre RVEを使った寄生素子情報表示

Calibre RVE (result viewing environment) は、レイアウト環境内でR、C、RCCの結果を見ることを可能にします。

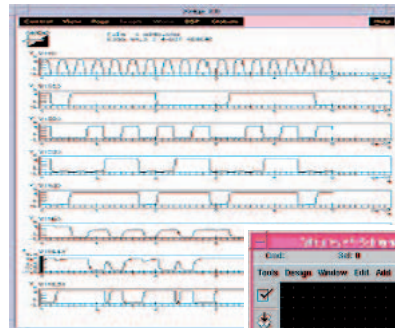


Calibreの結果表示環境(RVE)が、Calibre LVS出力データを直接参照しながら寄生結果を表示。さらにRVEメニューから、以下の寄生情報表示・ウィンドウを開くことが可能。



ミックスレベルの寄生データ (トランジスタ・レベル、ゲート・レベルおよび階層) を抽出できます。

・ **業界標準のフォーマットをサポート: SPICE、DSPF、SPEF**
Mach TA、Eldo、ADVance MS、Calibre Viewそして他の汎用解析ツールで要求される業界標準のネットリスト・フォーマットをサポートします。



メンターのシミュレーション・ツールMach TAを使ったフルチップ・デザインのシミュレーション結果



Virtuosoレイアウト環境でのCalibre View。画面上部に目的のデバイスと抽出されたパラメータを、下部に抽出されたデバイスとその抽出された値を表示。

先端のプロセス技術に不可欠なGDSベースの寄生抽出

130nmプロセス技術の到来で、簡易的なセル特性算出やこれまでの物理的仮定は、正確な解析やシミュレーションを施行する場合、十分と言えなくなりました。これは、セルの中味を“無し”として取り扱う「ブラック・ボックス」的抽出が、ゲート・レベルにおいて十分でないという事実を示唆していると言って良いでしょう。複雑な設計構造や微小ジオメトリがふんだんに使用される先端プロセス世代のデザインでは、セル内の導体を考慮した精度の高いゲート・レベル抽出が必須となってきます。

トランジスタ・レベルの抽出では、(ブラックボックス的な近似的アプローチはおろか) デバイス構造自体の考慮、そのトランジスタ・レベル抽出情報への反映が重要になってきます。LEF / DEFフォーマット他、配置配線ツールの結果からはそのような情報を抽出することはできません。GDSIIレベルのフォーマットのみから可能です。その点CalibreはGDSIIを基盤とした、設計構造依存性のない階層エンジンなので、先端プロセスで不可欠な精度を有する、ゲート・トランジスタ・ミックスレベル・シミュレーション・解析を実現可能にします。

Calibre製品を通して共通のアルゴリズムやルール・ファイルは、AMS SoC設計フローを効率化、さらに労力と時間を削減します。Calibreはファウンドリからも強力なサポート (ルールファイル・シミュレーションモデル) を得ており、設計デザインやデータを自信を持って製造工程に送り込めます。

Calibre xRCは高精度な下流工程解析を実現

・ Calibre Viewとの連動

Calibre Viewは、汎用レイアウト設計環境から直接再シミュレーションするための自動手法を提供します。Calibre xRCのフローでサポートされ、グラフィカルなバックアノテーションとネットリスト作成ができます。

・ 寄生データベースが様々なネット・モデルを供給

Calibre xRCの寄生データベースは、ノイズ、タイミング、電力およびシグナル・インテグリティといった解析フローを単独に実現する機能を備えており、階層情報をはじめとする様々な解析に応じて、ネットリストを容易に出力できる形式で寄生素子・デバイス・配線データを格納しています。

・ 寄生情報の削減

Calibre xRCは、TICER (AWEとSパラメータの組み合わせ) の活用、最小抵抗・容量値設定等による寄生情報削減が容易に行えます。これにより、ネットリストサイズの縮小の一方、高精度を保持したシミュレーション・パフォーマンス向上を実現します (ウェブサイトwww.mentor.com/dsmより「TICER: Realizable Reduction of Extracted RC Circuits.」のペーパーをダウンロードできます。)

・ 寄生データベースによってミックスレベル抽出が可能

Calibre xRCは、1回の実行でRCC (線間容量) を含めた形で、

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphicsはメンター・グラフィックス・コーポレーションの登録商標です。
その他記載されている製品名は各社の登録商標または商標です。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ヒルズ
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 名古屋市中区栄3丁目1番1号ナディアパークビジネスセンタービル
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>



03/06-RI-500-SI