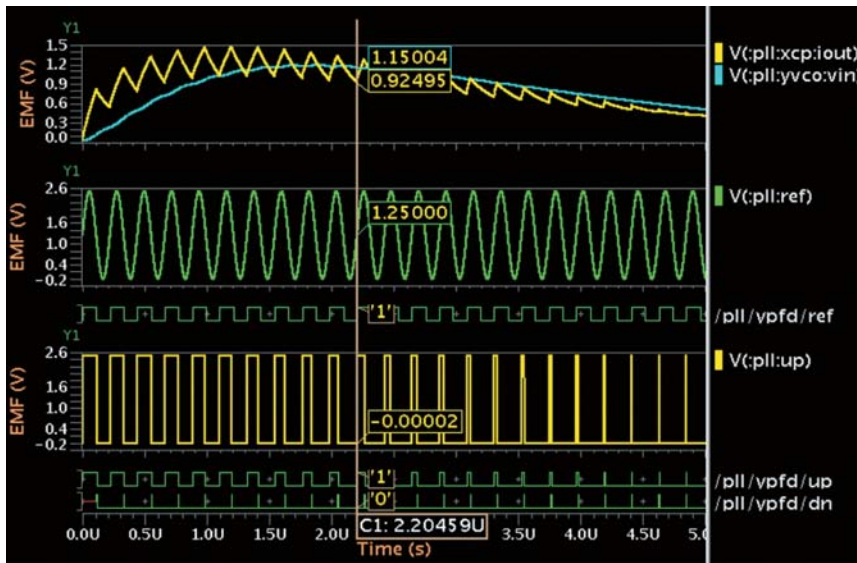


# Questa ADMS

Analog-Digital Mixed-Signal Simulator

Analog/Mixed-Signal Verification  
D A T A S H E E T



Questa ADMS は、業界標準のアナログ/ミックスシグナル検証ツールです。

## これからの設計のためのミックスシグナル・シミュレータ

アナログ/ミックスシグナル (AMS) SoC設計においては、アナログ・コンテンツとデジタル・コンテンツがこれまでになくタイトに組み合わせられています。これらの設計は、PLL、電圧レギュレータ、アダプティブ・フィルタなどの各種アナログブロックに大きく依存するようになってきました。このような統合レベルの高まりは、設計者にとって大きなプレッシャーとなります。従来の設計ツールを使ったフローでは、アナログ/デジタル・サブシステムを別々に開発せざるを得なかったため、これらのコンポーネントの統合はICレイアウトの段階まで遅れることとなり、テストは製造後に行われました。Questa® ADMS™がリリースされる以前のAMS SoC設計は、低速で、エラーの起こりやすいプロセスでした。

現在、多くの設計者や検証エンジニアが、Questa ADMSを使用して複雑なアナログ/ミックスシグナル設計の検証を行っています。Questa ADMSは4つの高性能シミュレーション・エンジンを1つの効率的なツールに統合したもので、主要な電気シミュレーション言語および標準規格をすべてサポートしています。

## 柔軟なミックスシグナル戦略

今日のSoCはリスピンのコストが高いため、システムレベルでの検証が必須です。しかし、システムレベル検証にはジレンマがあります。デジタルモデルのみを用いたシミュレーションは高速ではあるもののアナログ精度に欠け、トランジスタレベル・モデルのみのシミュレーションは時間がかかりすぎます。一般的な検証手法として、抽象モデルと詳細モデルを組み合わせ、設計階層の各部分にそれぞれ適切なシミュレーション・アルゴリズムを用いる方法があります。各テストポイントに、異なるコンフィギュレーションを使うこともあります。この検証手法は、アナログ精度を保ちつつ、パフォーマンスを最適化しようとするものですが、これには、シミュレーション・エンジン、設計言語、モジュール選択の仕組み、そしてフローへの融合など、様々な次元での柔軟性が必要となります。

## 利点:

- 数百万ゲート規模のAMS SoC設計のトップダウン設計/ボトムアップ検証に対応
- 検証タスクに応じ、複数言語やシミュレーション・アルゴリズムを組み合わせ利用可能
- メンター・グラフィックス製品およびサードパーティ設計環境との統合
- システムレベルの設計およびアーキテクチャ検討をサポート
- 動作モデリング・テクニックの習得を加速

## 特長:

- 高速、高精度なミックスシグナル・シミュレーション
- 顧客により実証済みの4種類の高性能シミュレーション・エンジンにより幅広い性能と精度の選択肢を提供
- 包括的なデジタル、ミックスシグナル、トランジスタレベル、バックアノテーション言語サポート
- デジタル設計エンジニアも使い慣れた、柔軟な拡張性を持ったQuestaインタフェース
- メンター・グラフィックスのミックスシグナル波形ビューア/解析ツール、EZwave
- メンター・グラフィックスのDesign Architect-ICおよびCadence Virtuosoとの緊密な統合により既存のアナログ設計フローに対応
- ICAnalyst CBとの緊密な統合による複数の設計コンフィギュレーションを並列検証
- 付属のAMS Cookbookによるミックスシグナル動作モデル開発の支援

Questa ADMSは、モジュール化されおり、基本システムとしてVerilogとSPICEだけで構成することもできます。既存のQuesta SVまたはAFV環境にQuesta ADMSのモジュールを追加し、完全なミックスシグナル環境を構築することも可能です。また、モジュールはユーザ間で共有できます。

## シミュレーション・エンジン

Questa ADMSは、デジタル、アナログ、ミックスシグナル標準HDLおよびSPICEすべての長所を、統一されたシミュレーション環境で提供します。

Questa ADMSは、顧客により実証済みのメンター・グラフィックスの4つのシミュレーション・エンジンを統合しています。

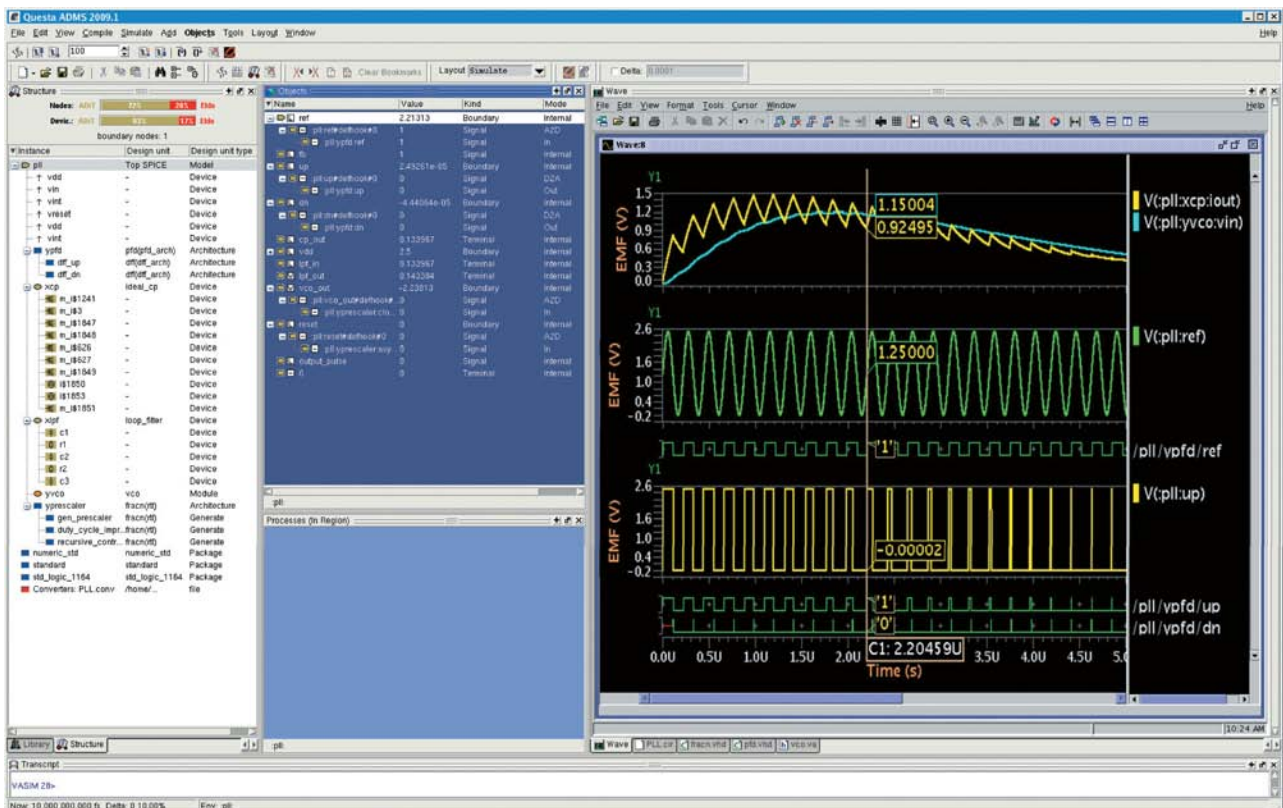
- Questa: 業界をリードするVHDL/SystemVerilog/SystemCシミュレータ
- Eldo®: 業界で広く使用されている強力な汎用、並列処理対応アナログ・シミュレータ
- ADiT™: 高速、大規模対応トランジスタレベル・シミュレータ
- Eldo RF: RF変調に対応した効率的な時間ドメイン・シミュレーション

Questaは高いパフォーマンスとキャパシティを両立し、大規模なブロックおよびシステムをシミュレーションするために必要な

コードカバレッジならびにデバッグ機能を提供します。SystemVerilog、VHDL、SystemCの包括的サポートにより、単一言語、複数言語の検証環境に強固な基盤を提供します。

Eldoアナログ・カーネルは、多くのICシリコン・ベンダおよびファブレス設計企業に選ばれているシミュレータです。他の商用または内製SPICEシミュレータと比較して、シリコン精度を犠牲にすることなく優れたキャパシティと3倍から10倍の高速化を達成していると、多くのユーザにより証明されています。Eldoは、数千種類のICの検証と製造に利用されてきました。ワールドワイドの検証エンジニアおよび設計者により、絶対的なゴールデン・サインオフ・シミュレータとして信頼されています。この高い信頼は、メンター・グラフィックスが継続してリソースを投入し、着実に開発を続けてきた成果です。

ADiTは、AMSトランジスタレベル・アプリケーションのためのFast-SPICEシミュレーション・エンジンです。高い精度が要求されるAMS回路のために特別に開発されたADiTは、ミックスシグナルに特化したパーティショニング・アルゴリズムにより非理想電源を高速かつ高精度にシミュレーションします。電荷保存型解析モデルやテーブル・モデルを内蔵したADiTは、従来のSPICEシミュレーションよりも10倍から100倍高速に、精度の高い信頼できる結果を生成します。



既存の Quest SV または AFV 環境に Questa ADMS のモジュールを追加し、完全なミックスシグナル環境を構築可能

Eldo RFは、RF回路をターゲットとしています。Eldo RF MODSST アルゴリズムは、任意のシミュレーション言語を組み合わせた記述に対応しています。時間／周波数混在アルゴリズムを使って時変スペクトルを計算します。時間点の間隔は高速に変化するRFキャリア信号ではなく、低速に変化するベースバンド情報に合わせて選択されます。解析結果は、面倒な回路レベルの過渡解析と等しい精度が得られます。

## 設計言語と標準フォーマット

Questa ADMS環境は言語に依存しないため、VHDL-AMS、Verilog-AMS、VHDL、Verilog、SystemVerilog SPICE、ならびにSystemC言語を1つの設計で混在使用することができます。Questa ADMSは、デジタルライブラリ・モジュールへのタイミングデータのバックアノテーションに使用するSDF、およびフルカスタム設計の寄生素子のバックアノテーションに使用するDSPFの両方をサポートしています。

Questa ADMSは以下の言語およびフォーマットをサポートしています。

- IEEE 1497 Standard Delay File Format (SDF)
- IEEE 1076.1 VHDL-AMS
- IEEE 1076 VHDL
- IEEE 1364 Verilog
- IEEE 1800 SystemVerilog
- IEEE 1666 SystemC
- AccelleraのVerilog-AMS言語
- Value Change Dump (VCD)、リード/ライト
- DSPF (Detailed Standard Parasitic Format)
- SPICE Eldo, HSPICE, Spectreの各種方言

## 設計階層のコンフィギュレーション

設計階層のコンフィギュレーションは、設計階層の各要素に対して正しいバージョン、モジュールまたはコンポーネントを選択するプロセスです。システムレベルのミックスシグナル検証では多数のコンフィギュレーションが必要となり、迅速かつ高い信頼性で再構成を行える能力が要求されます。

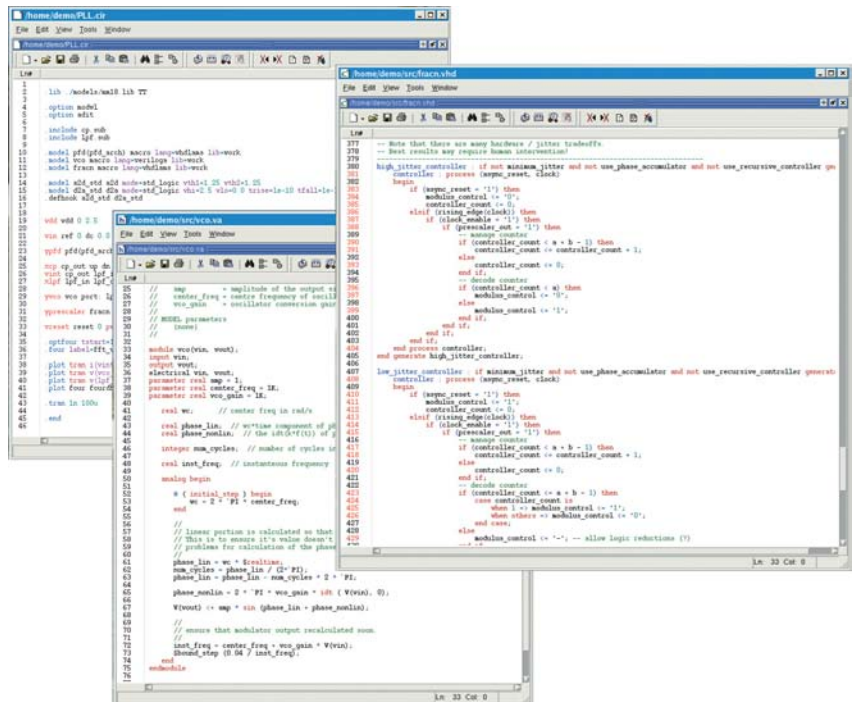
Questa ADMSは、すべての言語を単一の階層構造内に混在させることができ、どの言語をどこに使うかについての制限はありません。テストベンチとして、SPICE、アナログまたはミックスシグナル言語、あるいはデジタル言語を使用することもできます。Questaでシミュレーションしたデジタル部分は、何の変更も加えることなく

Questa ADMSで使用することができます。SPICEサブサーキットは設計階層のどこでも使用でき、優れたモデリングの柔軟性が実現されています。例えば、SPICEからSystemVerilogをインスタンス化したり、SystemVerilogからSPICEをインスタンス化することもできます。

VerilogおよびVHDLのコンフィギュレーション宣言を用いて、どちらの言語をトップレベルとした設計階層でも構築できます。SPICEをトップ階層としたコンフィギュレーションも、Questa ADMSのバインディング・コマンドを使って簡単に行うことができます。

構成変更として、デジタルブロックをアナログまたはミックスシグナル・ブロックで置き換えたり、またはその反対を行うこともできます。アナログ信号がデジタル信号に接続される箇所には必ずミックスシグナル信号が存在し、すべてのミックスシグナル信号にはAD、DAまたは双方向のデジタル/アナログ境界モデルが必要となります。

境界モデルの挿入は、コマンドファイルの指示によりQuesta ADMSが自動的に処理します。全体的な指定から単一ネットの境界モデルの指定まで、幅広く指定できます。また設計者は付属の境界モデルから選択することも、VHDL-AMSまたはVerilog-AMSを使って独自の境界モデルを設計することもできます。境界のデジタル側はサポートされているネットタイプであれば何でも使うことが可能で、VHDLのレコードタイプも使用できます。境界モデルは電源信号に接続し、電力を考慮した設計にも利用できます。



Questa ADMS 環境では、VHDL-AMS、Verilog-AMS、VHDL、Verilog、SystemVerilog SPICE、SystemC 言語を 1 つの設計で混在使用することができます。

境界情報を含んだコマンドファイルは設計階層自体からは独立しているため、境界の配置を設計のデジタル部分にコーディングする必要はありません。従って、デジタル設計者は、電圧アイランドや電源関連の問題を気にする必要がありません。アナログブロックを含むシステム検証の段階で、"ゴールデン"RTLネットリストに対して手を加える必要はありません。またQuesta ADMSは、標準のVerilog-AMS接続モジュール手法をサポートしています。

## 標準設計フローへの統合

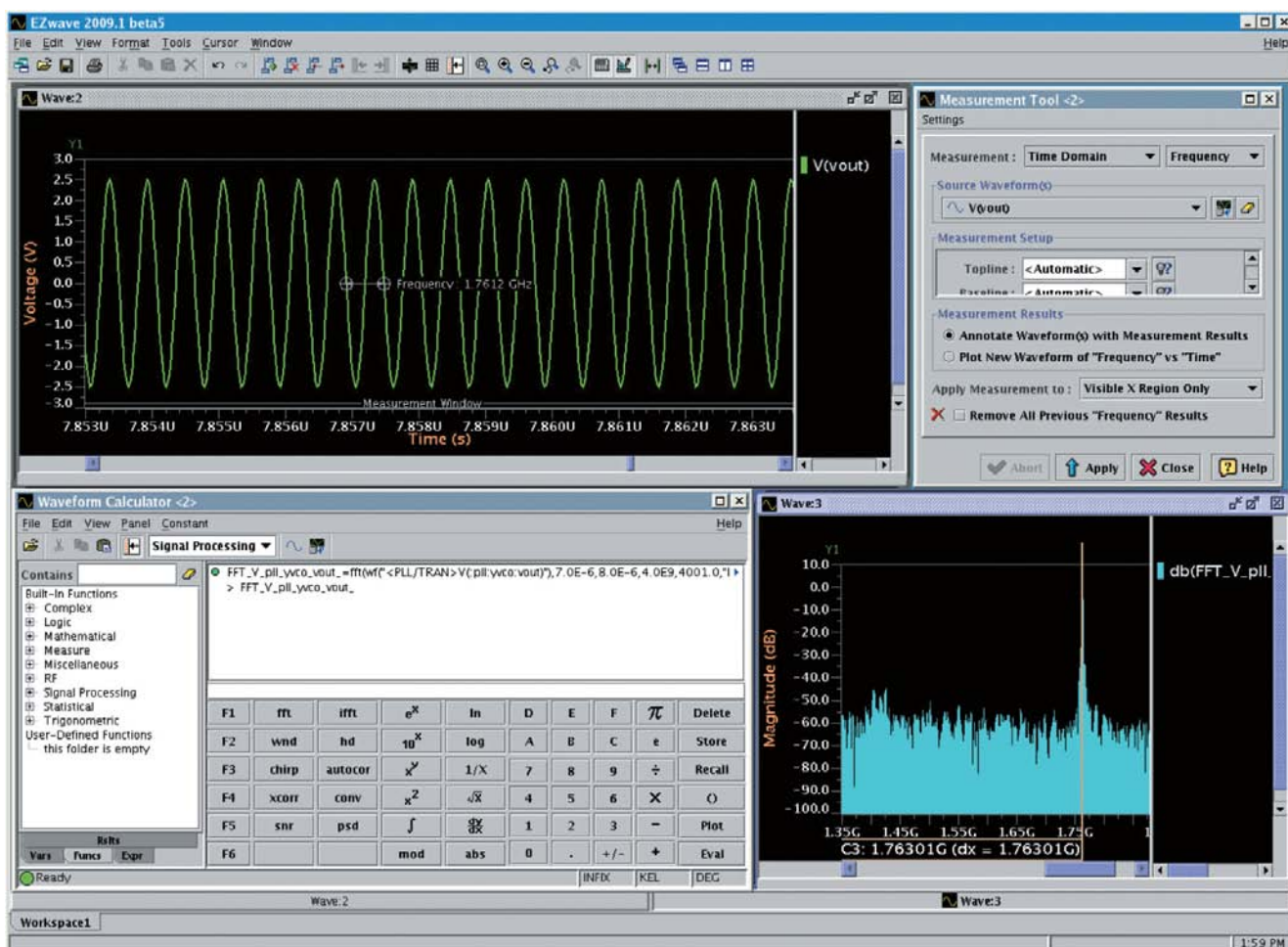
Questa ADMSは、使い慣れたQuesta環境を拡張し、統合されたミックスシグナル・モデル開発およびシミュレーションを行うためのスタンドアロン・フローを提供します。ダイナミックにリンクされたデバッグと設計可視化のための新しい拡張は、ミックスシグナル設計に含まれる問題をピンポイントで特定するのに役立ちます。Questaの低消費電力シミュレーションおよびデジタル最適化ツールも、Questa ADMSからスムーズに利用できます。Questa ADMSは、複雑なシステム検証のためのSystemVerilog OVM (Open Verification Methodology) もサポートしています。また、統合されたTCLスクリプト言語によりシミュレーションと波形処理をバッチ処理により制御します。

## Questa検証プラットフォーム

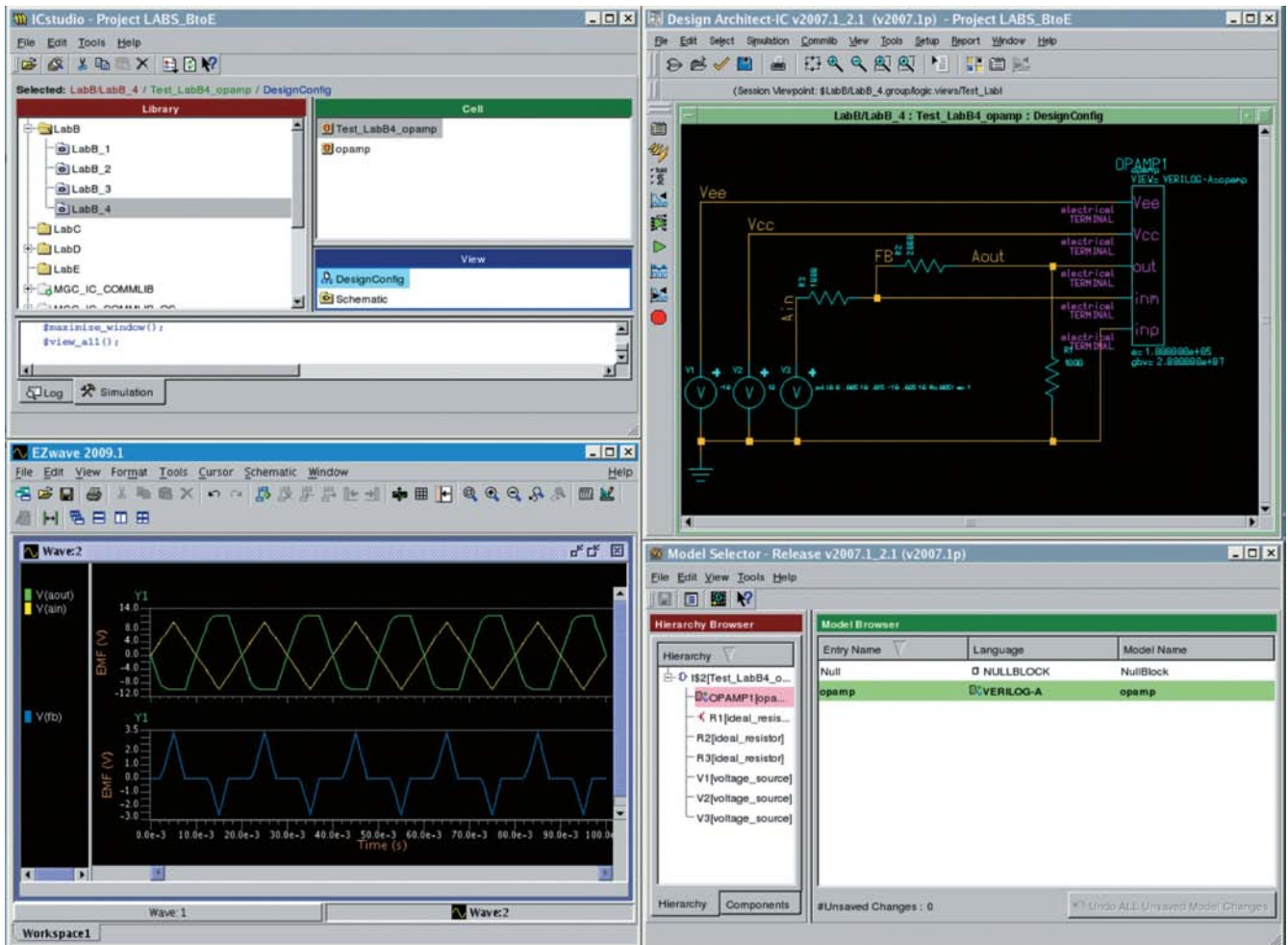
Questa検証プラットフォームは、指標に基づいた検証管理システムを基盤とした包括的検証ソリューションとして、最先端の検証および各種デバッグ技術の価値を包括的に提供します。Questaは、複雑なSoCおよびFPGA設計/検証に必要な様々な抽象度レベルをサポートしています。あらゆる検証手法の生産性と予測性を大幅に向上すると同時に、設計品質、検証プロセスの可視性とコントロールも改善します。

## EZwave波形プロセッサ

Questa ADMSには、標準Questaビューアに加えて、EZwave波形プロセッサが付属しています。EZwaveは、RF、低周波数ベースバンド・アナログ/デジタル信号の混在を表示し、分析するために必要な追加機能を備えており、データを周波数ドメイン、時間ドメインの両方で操作することができます。スミスチャート、アイ・ダイアグラム、高度なウィンドウイングを使ったFFTや信号のノイズ計算はEZwaveの豊富な機能のごく一部です。



Questa ADMSには、RF、低周波数ベースバンド・アナログ/デジタル信号の混在を表示し、分析するために必要な追加機能を備えたEZwaveが付属



Design Architect-IC シミュレーション・インタフェースと統合した Quest ADMS はシミュレーションのセットアップとネットリスト生成プロセスを制御

## Design Architect-IC

Quest ADMSは、Design Architect®-IC™と統合されており、柔軟なモデル登録とシミュレーション・コックピット、ならびに高速階層対応ネットリスト生成を活用します。Design Architect-ICの完成されたシミュレーション・インタフェースが、シミュレーションのセットアップとネットリスト生成プロセスを制御します。Design Architect-ICは、メンター・グラフィックスのカスタムIC設計フローに含まれる他のツールともシームレスに統合されています。

## Cadence Virtuosoアナログ設計環境

Quest ADMSは、ネイティブ・シミュレータと同じルック&フィールで、Cadenceのアナログ設計環境Virtuosoと統合されており、Quest ADMSの解析機能、コマンド、オプションを利用できます。Eldoデバイスを提供する拡張シンボル・ライブラリは、Cadenceのライブラリとも互換性があります。Spectre SPICE方言でコーディングされたレガシー・モデルも、変更を加えることなくそのまま使用できます。シミュレーションのセットアップ、直接ネットリスト生成、波形処理、クロスプロービングなどの機能が完全にサポートされています。

## ICanalyst CB

ICanalyst™ CBは、Quest ADMSを補完する製品です。ICanalyst CB検証フローは、数百、数千の設計の作成、シミュレーション、結果解析を自動化することにより、複雑に組み合わせられたシミュレーション戦略の詳細を管理します。ICanalystは、複数のテストベンチ、設計コンフィギュレーション、ICプロセス・コーナーを管理し、テストポイントに対する結果を分かりやすいスプレッドシート形式でレポートします。また、プロセス・ライブラリの改版を管理することにより、リグレッション・テストを簡易化し、設計レビューや知識の共有に利用できるドキュメントも作成します。

## HyperLynx Analog

Quest ADMSは、プリント基板全体の機能検証を行うメンター・グラフィックスのHyperLynx® Analogのシミュレーション・エンジンとしても使用されています。単一の回路図でPCBレイアウトと機能解析の両方をサポートすることができます。HyperLynx AnalogとPCB配線の寄生モデルを抽出するHyperLynx SI(Signal Integrity)との統合により、包括的な基板レベルの機能解析を行うこともできます。

## EDA Simulator Link MQ

EDA Simulator Link MQ (The MathWorks, Inc.) は、MATLAB および Simulink と Questa ADMS 間の双方向リンクを提供するコシミュレーション・インタフェースです。VHDL、SystemVerilog 両方のネイティブ・コシミュレーションをサポートします。従来の Simulink システムレベル設計/シミュレーション環境は、MATLAB、C、C++、Simulink ブロックの混在言語シミュレーションをサポートするものです。これにハードウェア言語を加えることにより、EDA Simulator Link MQ はアルゴリズムおよびシステム設計とハードウェア実装を統合します。

## ミックスシグナル・シミュレーションの高速化

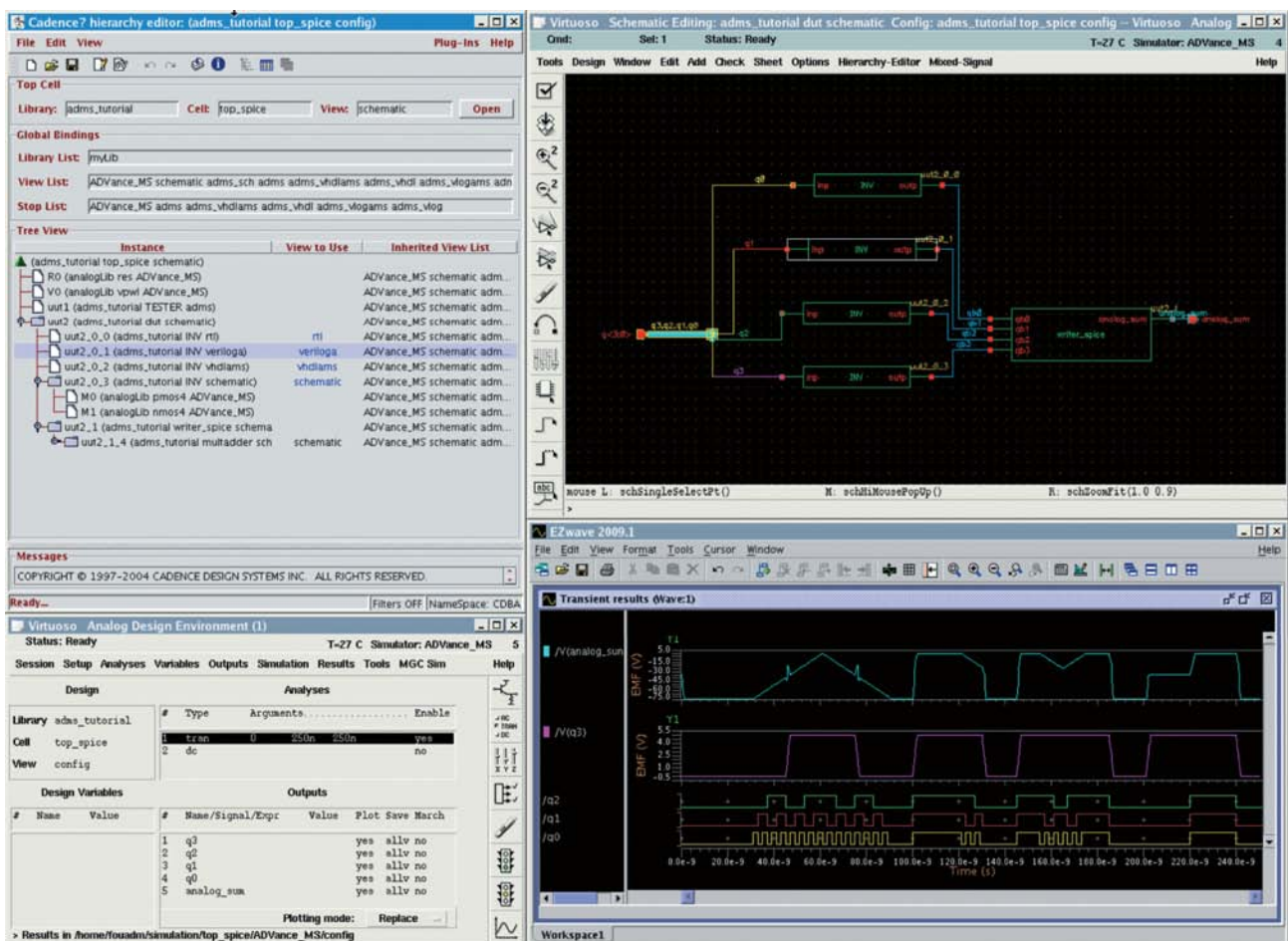
期限のある開発において、シミュレータの性能は重要です。性能面において、Questa ADMS にかなうツールはありませんが、それだけでは不十分です。Questa ADMS は、シミュレーション速度の何倍ものシミュレーション・スループットを生み出すインテリジェントな制御機能を提供しています。

## シミュレーションの複数実行

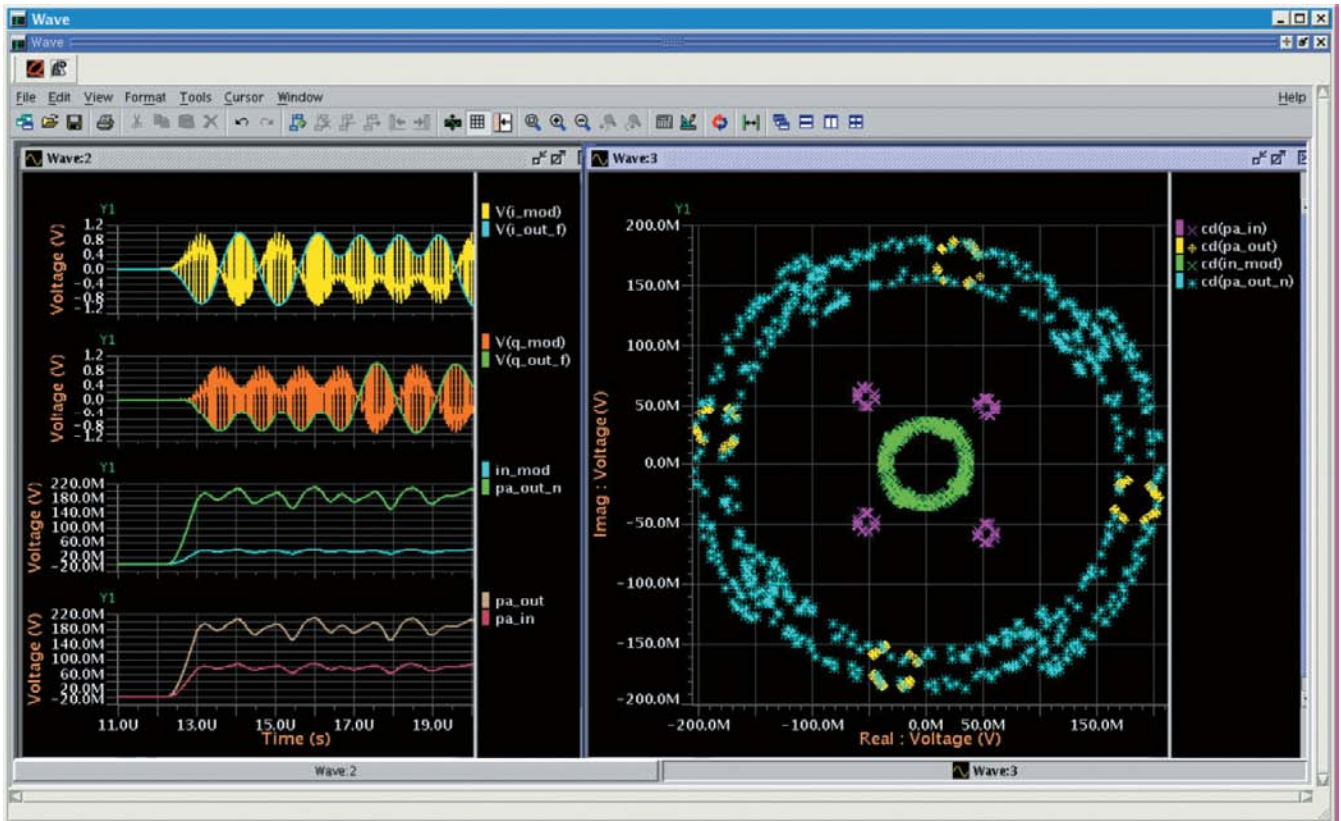
Questa ADMS は、複数の解析を単一マシンまたはネットワーク接続されたコンピュータ・ファーム上の複数のプロセッサに分散して並列処理することができます。分散処理はパラメータ・ステップおよびモンテカルロ・シミュレーションに使用できます。このメカニズムは LSF や Sun-Grid などの負荷分散ツールに完全対応しており、専用のディスパッチ・ツールとも使用できます。シミュレーション実行が完全に並列処理されるため、利用可能な CPU 数に比例して生産性を向上させます。

## チェックポイント&リスタート

Questa ADMS では、実行中のシミュレーションのチェックポイント・イメージをいつでも保存できます。その後、同じシミュレーションを単一マシンまたは別のマシン上でリスタートすることができます。リスタート前にパラメータを変更したり、異なるテスト・ベクターを与えることも可能です。1つのシミュレーションを初期化が完了するまで実行し、その後チェックポイント・イメージを任意の回数リスタートすることができます。冗長な初期化処理を省くことにより、スケジュールの厳しいプロジェクトでも検証カバレッジの向上を図ります。



Questa ADMS は、ネイティブ・シミュレータと同じルック&フィールで Cadence のアナログ設計環境 Virtuoso と統合



Questa ADMSを使用することにより、従来のシミュレータと比較して、典型的なベースバンドからキャリアの周波数比率を持つミックスシグナルRF設計の検証を2から3桁改善することが可能です。

### スケーラブルなマルチスレッド性能

Questa ADMSは、マルチコア・コンピュータのすべてのプロセッサを同時に使用してデバイスレベルの解析を行うことができます。トランジスタレベル・モデルをミックスシグナル検証で使用する際に処理コストが大きくなるのは、複雑なデバイス評価やマトリクス計算の部分です。Questa ADMSは、そのどちらもマルチスレッド処理できます。トランジスタレベルが主となる設計を2個のCPU上で実行すると、約1.5倍の速度向上になります。4個のCPU上で実行すると、通常シミュレーションが2倍から3倍高速化されます。

### ミックスシグナルのための高速デジタル初期化

複雑なミックスシグナル・モデルのデジタル・ステートマシンを初期化するには1ミリ秒またはそれ以上の時間がかかり、数百、数千のシミュレーション・サイクルを必要とします。ところがアナログ部分からの信号はデジタル初期化が完了するまで、多くの場合能動的に抑制されているか、受動的に無視されています。Questa ADMSは、デジタル初期化が完了したことを表すテストベンチ信号までアナログ・シミュレーションの起動を遅延する独自の機能を持っています。これにより、スタートアップ時のパフォーマンスを1から2桁向上させることができます。

### 時間／周波数混在アルゴリズムを使った高速RF検証

多くのデジタル通信システムは、RFフロントエンドと複雑なデジタル・ベースバンド信号処理を統合しています。ダイレクト・コンバージョン受信器や自動利得制御ループなどのシステムを検証するには、トランジスタレベルのRF部分をベースバンド部分と共に処理し、かつ、スケジュール通りの検証が可能なシミュレータが必要です。Questa ADMSを使用することにより、従来のシミュレータと比較して、典型的なベースバンドからキャリアの周波数比率を持つミックスシグナルRF設計の検証を2から3桁改善することが可能です。

### 膨大なデバイスレベル・サブ階層の高速なロード

従来のfast-SPICEシミュレータはDC接続に基づいた分割を行ってトランジスタレベルのサブサーキットに対するブラックボックス・モードは膨大なSPICEコードを含む設計のエラボレーションを高速化します。エラボレーションとは、設計がロードされた時に始まり、シミュレーションの準備が整うまでの時間です。ブラックボックス化されたサブサーキットの詳細はインターフェースには表示されず、オブジェクト・ウィンドウにはサブサーキットのポートのみが表示されます。しかし、Questa ADMSコマンドファイルを使用することにより、サブサーキットのネットをプロット、プローブすることができます。ブラックボックス・モードは、多数のサブサーキットを含む設計のエラボレーション・パフォーマンスを桁違いに向上させることができます。

## AMSモデルの迅速な開発

AMS言語で記述した動作モデルは、ミックスシグナル検証戦略において欠かせない武器です。しかし、AMS言語を使ったモデルの作成は時間のかかる作業です。

VHDL-AMSおよびVerilog-Aのための対話式のAMS Modeling Cookbookは、ミックスシグナル動作モデル作成のためのテクニックの宝庫であり、ミックスシグナル・モデル作成者にとって重要な早期開発を可能にします。

サンプルとして用意されているモデルは、様々な通信およびマルチメディア・アプリケーションを網羅しています。これらをそのまま、システムレベル設計、アーキテクチャ検討、システムレベル機能検証に使用し、複雑なミックスシグナル・システムのシミュレーション速度向上に役立てることができます。

上述の通りに役立てることができますが、AMS Modeling Cookbookの本来の目的は、設計者がカスタマイズされた、効率的で正確な動作モデルを独自に開発する必要があるときに、モデリングのためのテンプレート、ヒント、テクニックを簡便に提供することです。すべてのモデルは詳細にドキュメント化され、再利用を容易にしています。また、すべてソースコードが含まれています。

多数のホットリンクを含むインデックスにより、参照も簡単です。インデックスのリンクから任意のモデル名をクリックすることにより、ドキュメントとソースコードに直接アクセスできます。

## まとめ

メンター・グラフィックスのQuesta ADMSは、複雑なAMS SoC設計のための優れた開発、検証ツールです。Questa ADMSは、ミックスシグナル設計プロセスを自動化するために必要なスピード、汎用性、精度を備え、真のトップダウンおよびボトムアップ検証テクニックに必要な効果的な制御を提供します。言語に依存しない設計環境と、様々なシステムとの統合により過去の設計資産を保護するとともに、最先端かつ最も効果的な設計、検証ツールをフルに活用することが可能になります。

Copyright © 2009 Mentor Graphics Corporation.  
Mentor Graphics は Mentor Graphics Corporation の登録商標です。  
その他記載されている製品名および会社名は各社の商標または登録商標です。  
製品の仕様は予告なく変更されることがありますのでご了承ください。

**メンター・グラフィックス・ジャパン株式会社** 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号 名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>