

# EXPEDITION ENTERPRISE

今日の最も複雑なPCBシステム設計に対応したテクノロジー・リーダー

Mentor  
Graphics®



## タイトに統合されたシステム設計フロー

Expedition Enterpriseフローは今日の最も複雑なPCB設計を作成するための先進技術と豊富な機能を備えたシステムとして広く知られています。競合製品と比較してExpeditionが優れている大きなポイントは、タイトに統合された単一の設計環境、ならびに中規模から大規模なエレクトロニクス企業のニーズへの対応能力です。共通のデータベース、共通のユーザー・インターフェースならびに各種ルールを活用することにより、複数のツールを使って設計を完成する際の管理のわずらわしさがありません。電気的制約および製造上の制約を管理するシステム、そして設計データとライブラリの管理機能により、国内、国外に点在する複数の設計チーム間でそのリソースを効率的に活用し、設計サイクル回数を削減することが可能です。その際、データの整合性はコンセプト設計から製造まで、一貫して保たれます。Expeditionは各機能のタイトな統合によりECOにかかる時間ならびにトータルな設計期間をドラスティックに短縮し、かつエラーを回避することによりコスト削減に貢献します。

## Expedition Enterpriseを使ったシステム設計

製品の設計には、優れたPCBレイアウト・ツールというだけでなく、タイトに統合された設計システムが必要です。Expedition Enterpriseはこの高いレベルの統合環境を提供し、設計チームのメンバー全員がより効率よく作業することにより、設計プロセスをスピードアップします。

レイアウト設計ツール Expedition PCBとDxDesignerの統合により、回路図とレイアウト環境間でシームレスなデザインルールの受け渡しとクロスプロービングが可能です。コンセプトから最終製品へとプロジェクトが進化する間もデータベースの同期は常に保たれ、変更が発生すると同時に設計者に通知されるため、ムダで費用のかかる設計の繰り返しを解消することができます。

Expedition EnterpriseはDMS (Data Management System)とも統合されています。DMSはコンポーネント・ライブラリ、設計データのバージョン、設計再利用、利用箇所等を一元管理するインフラストラクチャであり、社内PLMシステムとの統合を可能にします。製造出力ツールとも統合されているため、設計終了後もデータの整合性が保証されます。

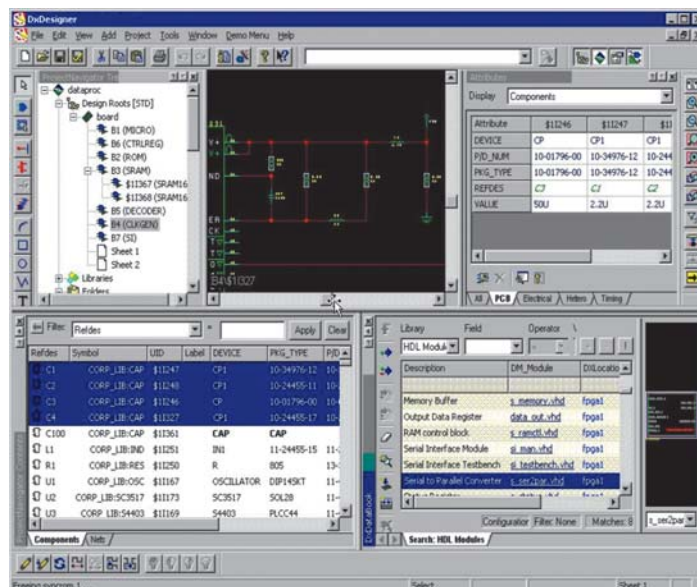
## システム定義

DxDesignerは設計作成、定義、再利用のための総合ソリューションです。回路設計とシミュレーション、コンポーネント選択およびライブラリ管理、シグナル・インテグリティ設計、プロジェクト管理、チームベース設計に至るまで、必要な要素がすべてそろっています。DxDesignerにはウェブ・サーバーを介して回路図やライブラリ・データその他の設計関連データを公開する機能があり、適切な権限を持ったユーザーはウェブ・ブラウザを使ってこれらの情報にアクセスすることができます。DxDesignerは複数の製品ライフサイクル管理システムとも統合されており、設計データ、PDF回路図、BOMを社内全体で利用することが可能です。また、集中管理を可能にするインターネット・ベース・ライブラリをサポートしているため、社内で管理するライブラリは一つだけです。

その他のツールとしては、中央管理されたライブラリへのアクセスを行うDxDatabook、PDF回路図を作成するDxPDF、バリエーション設計定義を行うDxVariantManager、設計ファイル管理を行うDxDatamanager、ウェブ・プラグインを使った回路図の閲覧ツールDxViewOnlyなどがあります。

## FPGAオンボード設計のコラボレーション

FPGAとPCB設計からの拡大するニーズに応え、メンター・グラフィックスはFPGAのI/OをPCBレイアウトのデバイス・ピンに高速かつ効率的に割り当てるソリューション、I/O



DxDesignerは設計作成、定義、再利用のための総合ソリューションです。

Designerを提供しています。I/O DesignerはFPGAとPCBの設計フローを統合し、FPGAとPCBのためのコンカレントなトップダウン設計を可能にします。これにより設計チームは設計サイクルを削減し、システムレベルでのパフォーマンスの最適化が可能になります。I/O Designerは主要なメーカーのFPGAに対応したライブラリをサポートし、選択されたデバイスの各ピンに対する重要な情報のすべてを提供します。この情報を使って、ユーザーは信号のすべてをピンに割り当てるか、設計に対して重要と思われる信号のみを割り当てるかを選択することができます。また、それらのクリティカルな信号に対してI/O規格を割り当てることもできます。これにより、FPGAのピンアウトはPCBレイアウトを行う前に最適化することができるため、最高のシステム性能を保証し、PCB配線の混雑と設計サイクルの削減が可能になります。さらにレイアウトを改善するため、PCB上のピン交換が必要な場合もあるかもしれません。I/O Designerはどのピンが交換可能で、どのピンが交換不可能かの判断が可能です。

I/O Designerはまた、データ管理ツールとしてFPGAとPCB設計フローを監視し、変更を管理することにより両設計フローの一貫性を保ちます。PCB上で行われたピン交換をI/O Designerは認識し、必要なファイルを更新します。その後、I/O DesignerはHDL設計とピンI/O割り当てに基づいてFPGA配置配線用制約条件を生成し、「配線後」ピンデータに基づいて必要なシンボルおよび回路図を生成し、階層対応を更新します。

## PCBレイアウト

AutoActiveテクノロジーを搭載したレイアウト・ツールであるExpedition PCBは、Expedition Seriesに密に統合された製品です。使い易さと高度な機能を兼ね備えたExpedition PCBは、今日の最も複雑なPCB設計に必要とされる先端技術を設計者に提供します。Expedition PCBは、対話型でカスタマイズ可能なマルチパス自動配線コントロール機能を搭載し、差動ペア配線、配線長のチューニング、製造プロセスに合わせた最適化、ならびにマイクロビアやビルドアップ・テクノロジー等の設計課題に対応しています。

## AutoActive -PCB設計のテクノロジー・リーダー

AutoActiveは、PCB設計の革命的進歩をもたらすテクノロジーです。業界をリードする自動配線技術と対話型編集機能を1つの環境に統合することにより、今までに類を見ない強力かつ使い易い設計環境を実現しました。この環境は、設計作業の中で自動配線と対話編集ツールの間を往復し、それぞれのツールに対する制約を別々に管理するといった面倒な作業を排除します。AutoActiveは、自動配線とマニュアル編集の切り替えが簡単に行なえ、かつてないレベルの作業性を設計者に提供します。基板領域の定義といった簡単な作業から、ハイスピード信号の品質を維持するための複雑な作業まで、全ての設計目標をシステムが設計者と一体となって作業することにより達成できます。AutoActiveテクノロジーを使用することにより、設計時間の短縮、生産性の向上、比類のない設計品質を実現することができます。

## AutoActiveテクノロジーとは？

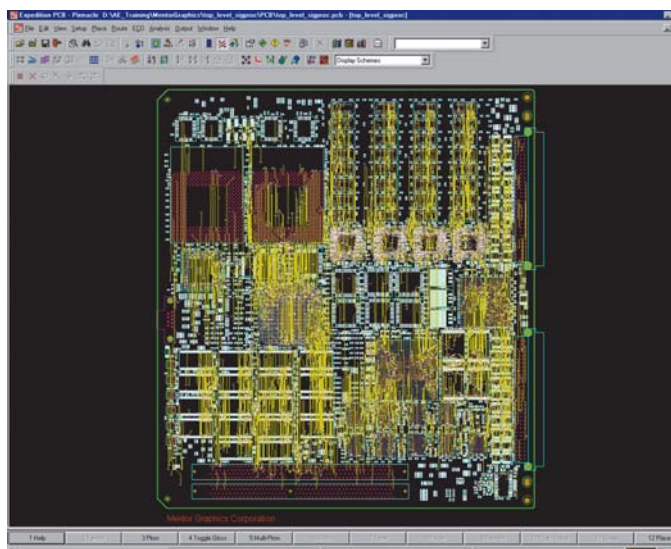
- 自動配線と密に統合された配置配線環境が、設計時間の短縮と生産性向上をもたらします。
- 全ての物理ルールおよびハイスピード・ルールをシステムが管理。
- 高品質の配線結果を自動形成し、整形のための時間を解消した「correct-by-construction」設計。
- シェイプベース、完全45度対応の配線機能。
- 最先端の自動配線技術。
- ビアの削減、アンテナ配線削除、鋭角コーナー回避、パッド接続ルールを考慮したダイナミックな配線の整形。

## ダイナミックなエリアフィル（塗り潰し領域）作成

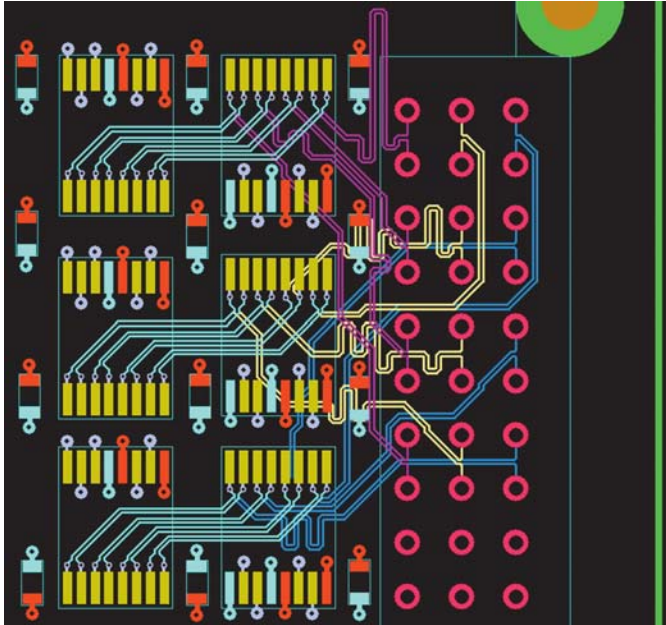
Expedition PCBにおけるエリアフィルは、配線、ビア、パッドを自動的に回避します。ダイナミックなエリアフィル作成は非常に高速に処理されるため、Expedition PCBでのあらゆる編集作業中、常にこの機能を有効にしておくことが可能です。たとえエリアフィル内のビアを移動しても、他のビアや配線、エリアフィルを押し除け、エリアフィルへの接続関係は自動的に維持されます。

## ルールエリア（領域別のルール）作成

ルールエリア機能は、BGAやその他のファインピッチ部品の周囲における配線作業の効率を大幅に改善します。ルールエリアには、オンライン／バッチDRCならびに対話型／自動配線で使用される完全なルールセットが定義されます。ルールエリアは層毎に指定することもでき、また任意のポリゴン形状、矩形、円形状といった領域で割り当てることができます。使用される配線幅やクリアランス等のルールは、ルールエリアの領域枠を境に、内側と外側で自動的に変化／調整されますので、ルールエリアに対するビアのサイズや層指定を各々で変更指示することにより、全体の結線率に最大の効果をもたらすことができます。



Expedition Seriesは高密度、高難易度の先端PCB設計に対応した最も生産性の高いソリューションです。



Expedition PCBを使った差動ペアの配線／編集作業はこれまでになく迅速かつ容易で、ハイスピード設計作業に対する認識を一変させるでしょう。

## 可変ビア配置パターンを使った束配線機能

Expedition PCBの束配線機能では、差動ペアを含む複数のネットを、完全な45度配線で同時に配線することができます。千鳥格子状に並んだピンのある領域を通る配線も扱うことができます。束配線中のパターンは、他のビアや既存パターンを経路から押し分け、エリアフィルも必要に応じて自動的に抜いていきます。また、束配線の層の切り返し時には、ボタン操作1つで様々なビア配置パターンを簡単に選択することができ、様々な状況に応じた束配線の引き直し作業にも柔軟に対応することができます。

## ダイナミックな違反の確認

デザイン上で発生した違反はオンラインでリスト表示されません。これらの違反は種別毎に色分け表示することで、エディタ上での視認性を高めることができます。オンラインでチェックされた違反内容については、修正が完了すれば違反リストから自動的にオンラインで削除されますので、違反の有無を確認しながらの修正作業が行なえます。

## Expedition PCBならびにExpedition SeriesとのECO

ECO (engineering change order) は設計プロセスにおいて、スケジュールの遅延やエラーの原因となりがちです。Expedition SeriesではECOをこれまでになく簡単且つ高精度に行うことができます。Expedition PCBの強力な自動処理機能と密接なシステム統合により、ECOの完成時間を大幅に削減し、同期化にまつわる諸問題を解消します。ルールを変更し、部品を交換し、違反のない再配線を自動的に行う—これらの作業を全てリアルタイムで進めることができます。

## Expedition PCBを使ったハイスピード設計

今日の設計者にとって、システム性能の目標達成と、プロトタイプ作成回数を減らすために必要な信号品質管理の課題はますます増大しています。Expedition PCBにおけるハイスピード設計機能は、AutoActive設計環境に統合された構成要素です。

## ダイナミックな違反の確認

デザイン上で発生した違反はオンラインでリスト表示されません。これらの違反は種別毎に色分け表示することで、エディタ上での視認性を高めることができます。オンラインでチェックされた違反内容については、修正が完了すれば違反リストから自動的にオンラインで削除されますので、違反の有無を確認しながらの修正作業が行なえます。

## Expedition PCBならびにExpedition SeriesとのECO

ECO (engineering change order) は設計プロセスにおいて、スケジュールの遅延やエラーの原因となりがちです。Expedition SeriesではECOをこれまでになく簡単且つ高精度に行うことができます。Expedition PCBの強力な自動処理機能と密接なシステム統合により、ECOの完成時間を大幅に削減し、同期化にまつわる諸問題を解消します。ルールを変更し、部品を交換し、違反のない再配線を自動的に行う—これらの作業を全てリアルタイムで進めることができます。

## Expedition PCBを使ったハイスピード設計

今日の設計者にとって、システム性能の目標達成と、プロトタイプ作成回数を減らすために必要な信号品質管理の課題はますます増大しています。Expedition PCBにおけるハイスピード設計機能は、AutoActive設計環境に統合された構成要素です。

## 制約管理定義

レイアウトツールExpedition PCBは、対話型配線、自動配線のどちらを使っても高速信号のパフォーマンス要件を満たすことのできる詳細な制約条件を扱うことができます。Constraint Editor System (CES) は完全に統合された制約ドリブンの設計手法を提供することにより、デザインルールの受け渡しを自動化し、不必要なPCBプロトタイプやリスピンを解消することにより設計コストを削減しタイム・トゥ・マーケットを短縮します。CESは高速信号に対する電気的、物理的ルールの両方を入力できる共通の制約定義環境です。CESは設計データベースに基づいた、使いやすいスプレッドシート形式のGUIを備えており、回路図とレイアウトへのクロスプロービングも可能です。

- ・ ネットの名前変更、接続の追加／削除、ピンおよび／またはゲート交換、スタックアップの変更を行ってもルールは保持されます。
- ・ GUIを使って差動ペア作成、平行ルールの定義やピンペアの作成が簡単に行えます。

- ・階層対応の制約入力により、フィルタリングやソート機能などを使って複雑なトポロジーも簡単に定義できます。

## ネットのチューニング

配線を対話形式で行う際、視覚的なガイドが表示され、ユーザーの作業を助けます。チューニングをオフにして編集したネットも、自動的に再チューニングできます。ネットを編集する間Hazardsダイアログボックスはダイナミックに更新され、制約条件に基づいたフィードバックが即座に確認できます。ネットは自動配線パスで自動チューニングすることも可能です。チューニングされたネットは、設計完了まで自動的に管理されます。

## 差動ペア配線

Expedition PCBでの差動ペア配線、編集は迅速かつ簡単で、高速設計に対する見方が変わります。ペア間隔ルールは、レイヤに対しても、ネットクラスに対しても設定できます。片方の配線が編集されると、ペアのもう片方の配線も自動的に追従して移動します。また、隣接レイヤの差動ペア配線機能は、高密度なPCBでのクリティカル信号の配線に貴重なオプションです。

## 同時設計

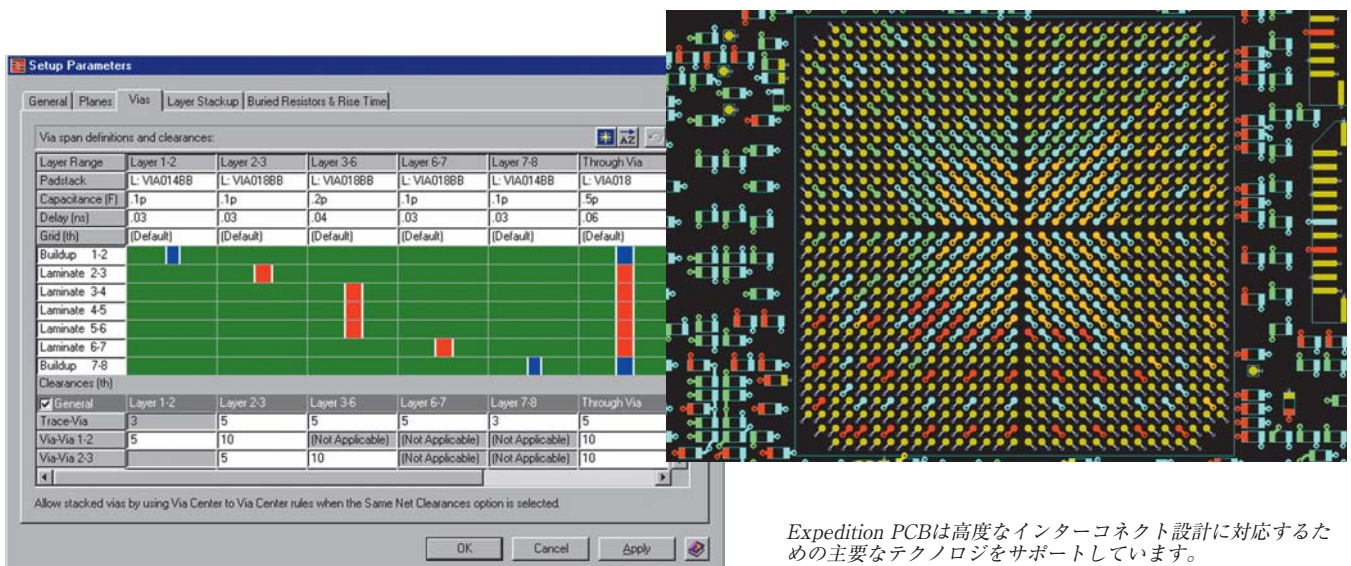
XtremePCBはLANあるいはWANネットワークを介して、複数のPCB設計者が一つの設計データベース上で同時に作業できる革新的かつ大きな可能性を持った新技術です。設計コラボレーションを行うのに「分割、結合」アプローチを使用する従来のチーム設計手法とは異なり、XtremePCBでは物理的な分割は必要なく、すべての設計者が他のクライアントの行っている編集をリアルタイムに確認できます。特別なトレーニングや複雑なセットアップを必要としないため、スケジュールが厳しいプロジェクトに設計者をいつでも、世界中のどこからでも参加させることができ、設計サイクルを劇的に削減することが可能です。大規模で複雑な設計や、複数のテクノロジーが混在するPCBでスペシャリストがその部分の設計にあたる必要のある場合などに理想的です。

## チーム設計

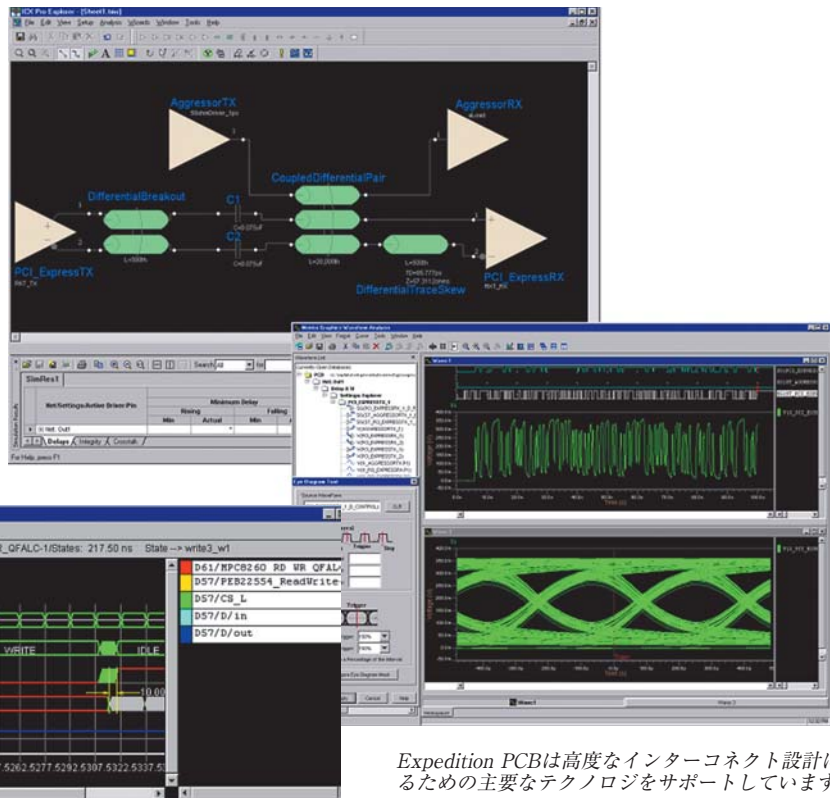
TeamPCBもまた、複数の設計者が同じPCBレイアウトで作業できるツールです。レイアウト段階で設計の分割を行うことにより、設計チームはプロジェクトを「分割統治」することにより格段に短い期間でプロジェクトを完成できます。従来のチーム設計ならびにコンカレント設計手法は論理的な分割や設計再利用ブロックに依存しており、多くの場合エラーの起こりやすいASCIIファイルやデータベースのマニュアル編集を必要としていました。TeamPCBは自動的にすべての編集を管理し設計ファイルの同期を保つことにより、従来のチーム設計手法にまつわる多くの問題を解消しています。Expedition PCBは最先端インターコネクト設計のための先進的技術を提供します。

## 高度なインターコネクト配線

高度なインターコネクトへの挑戦は、今日の高密度基板設計の普及によるBGA、CSP、COB、DCAパッケージの使用によって重要視されています。また、これらの基板におけるビルドアップおよびマイクロビア構造は配線を更に複雑なものにしています。AutoActiveテクノロジーにより強化されたExpedition PCBは、このような高度なインターコネクト設計に対する最新の設計手法を提供します。Expedition PCBでは、複雑なビア構造ルールとマイクロビアの配線に関する設定機能をサポートしています。これには包括的な「via-in-pad」ルールも含まれています。ビアは2層以上の組み合わせであれば何処にでも定義できます。従来の積層ペアの組み合わせに加え、Expedition PCBでは積層上のビルドアップ構造の設計をサポートしており、密度の高い多ピンデバイスから配線を引き出すことが容易です。ビルドアップ層は下部の積層部分と比較してクリアランスが小さい場合が多いですが、Expedition PCBはビアスタックの範囲毎に遅延値とクリアランス値を設定することによりこのような構造をサポートしています。また、Expedition PCBはBGAからの引き出しや千鳥コネクタに対しても45度配線を完全にサポートしており、密度の高い領域からパターンを引き出す際の局所的なルール定義を可能にしています。



Expedition PCBは高度なインターコネクト設計に対応するための主要なテクノロジーをサポートしています。



Expedition PCBは高度なインターコネクト設計に対応するための主要なテクノロジーをサポートしています。

## Design Reuse

Design Reuseモジュールは、回路図およびPCBの配置配線ブロックを含む再利用可能な回路ブロックを作成し、セントラルライブラリに格納します。作成したブロックはデザインに配置して利用し、ブロックに対する変更は同じデザイン内、あるいは複数のデザインに渡って適用することができます。Design Reuseはこのプロセスを支援し、設計データを管理することによりエラーのないデータベースの維持とPCB設計サイクル全体の期間短縮を可能にします。

## Variant Manager

Variant Managerツールは、単一のデザイン・データベースから複数の製品コンフィグレーションを作成するのに使用します。Variant ManagerのシングルポイントECO管理により、エラーの最小化、コストの削減、設計品質と生産性を向上させることができます。

## RF回路設計

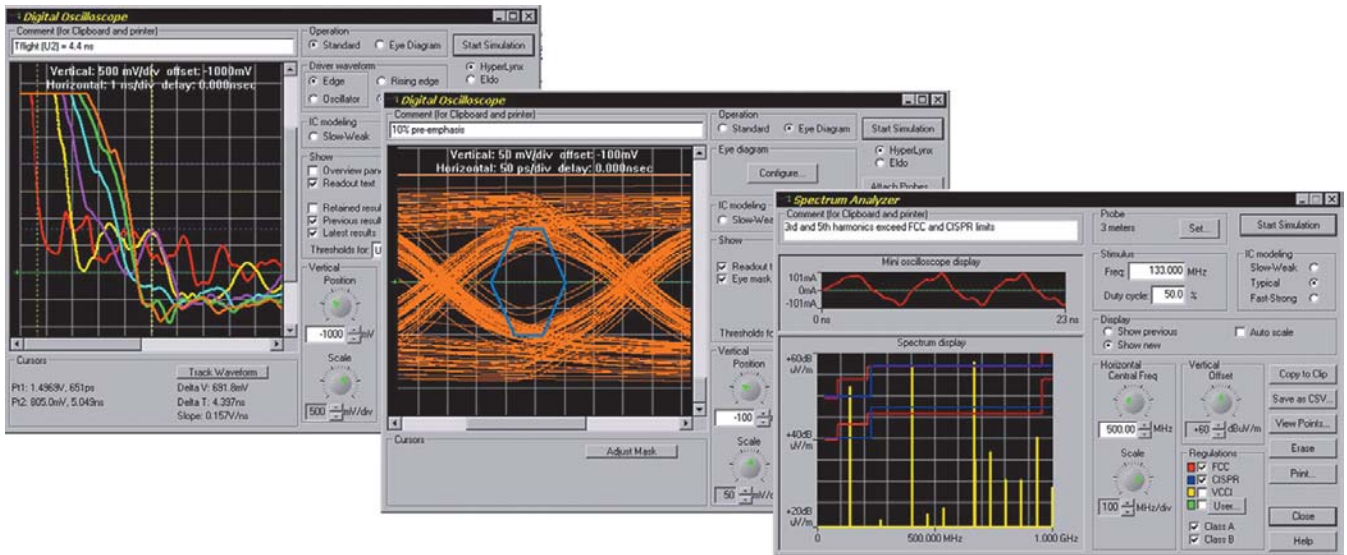
携帯電話やハンドヘルド電話機等、多くのPCB設計にはRF回路が含まれています。RFレイアウト設計とそのシミュレーションは、多くの場合専用ポイントツールを使って行われる特殊な設計分野です。IFF/Agilent ADS Interfaceにより、AgilentのADS製品を使って設計、シミュレーション、検証されたRFデータとDxDesignerならびにExpedition PCBとの直接インポート、エクスポートを行うことができ、データベースの同期とデータの整合性を保つことができます。Expedition Enterpriseを使った設計では、タイミングとシグナル・インテグリティの問題は設計終了後でなく、設計プロセス全体を通じて対応、修正できます。

## シグナル・インテグリティ、タイミング解析とEMI

Expedition Enterpriseフローでは、タイミング、シグナル・インテグリティ、EMI (Electro-Magnetic Interference) の問題は設計終了後でなく、設計プロセス全体を通じて対応、修正できます。これにより設計が初回より正しく動作することを保証でき、その結果設計の繰り返し削減と最適なシステム性能達成が可能になります。

エンタープライズ向け高速設計対応ソリューションは、共通のCESならびにICXの強力なシミュレーション技術に基づいています。ICX Pro Explorer を使用することにより、高速設計に対する要件を評価し、設計フローで利用するための制約条件を生成することができます。柔軟なモデル・サポート (IBIS、SPICE、S-Parameter、VHDL-AMS) により、従来のパラレル・バスも最新の高速シリアル・アーキテクチャもシミュレーションできます。回路図ライクに表示される設計データを使って簡単に作業を行い、現在の設計にも将来の設計にも利用可能な制約テンプレートを生成することができます。

ICX Pro Explorerから生成された制約条件はExpedition Enterpriseフローで設計の配置配線に利用されます。ICX Pro Explorerで使われたのと同じ制約およびモデル情報は、設計とシステムレベルの両方で、ICXを使った詳細な最終的電気検証においても使用されます。Tauをフローに追加することにより、タイミング検証をあらゆる段階で実行することができます。Tauのシンボリック・タイミング解析アプローチは多数の偽パスを除去することにより従来の静的タイミング解析ツールの制限を打破しています。電氣的制約と物理的制約を組み合わせてレイアウトを行い、共通のモデル情報へのアクセスと高度なシミュレーション技術を利用することによ



HyperLynxは強力かつ使いやすいシグナル・インテグリティ、クロストーク、EMC解析をレイアウト前、コンポーネント配置後、配線完了後に行うことができます。

り、クラス最高の統合された高速設計フローが実現されます。

エンタープライズ向け高速ソリューションに加えて、HyperLynxはプリ/ポストレイアウト・シグナル・インテグリティ、クロストークおよびEMS解析を従来の高速インターコネクタにも、最新のシリアル・インターコネクタならびにマルチ・ギガビット秒SERDESテクノロジーに対しても提供します。使い方も簡単なHyperLynx解析環境は、すべてのデスクトップで標準ツールとしてお使いいただけます。

高い周波数や電波規制への対応により特に重要性が増している問題が、電磁波障害の解消です。これには通常、プロトタイプ基板の作成と、シールドチェンバー内でのテスト、再設計という手順が必要とされていました。Quiet Expertを使用すれば、EMIの原因を設計レイアウト工程でハイライトし、除去することができるため、設計の繰り返しを大幅に削減し、貴重なタイム・トゥ・マーケットの短縮に貢献します。

## システム検証

DxAnalog はシステムレベルあるいはボードレベルでアナログおよびアナログ/デジタル混在設計を検証できます。DxAnalogはDxDesigner にタイトに統合され、強力なシミュレーション、ステイミュラスの準備、回路の複雑な解析と検証、各種グラフ作成、出力機能と使いやすさを両立したツールです。

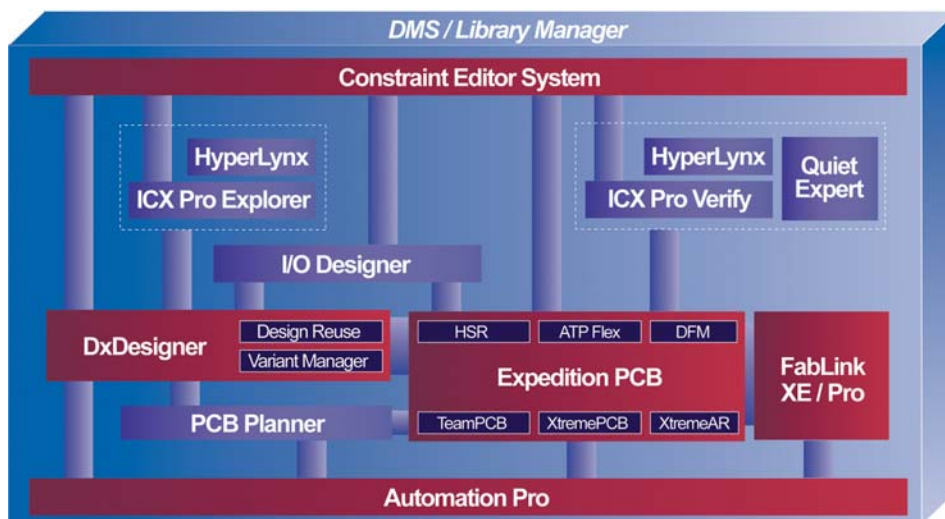
ModelSim は世界で最もポピュラーかつ幅広く採用されているVHDLならびにVHDL/Verilog混在シミュレータであり、Verilogシミュレータとしても急成長しています。ModelSim製品は、高速なコンパイルとシミュレーション性能を提供するOptimized Direct Compile、すぐれたオープン性と高速なデ

バッグを提供するSingle Kernel Simulation (SKS)ならびにTcl/Tkなどの技術を使って構築されています。ModelSimはこれらの革新的技術を使って業界をリードするコンパイラ/シミュレータ性能を実現し、VHDLとVerilogを自由に組み合わせた設計を可能にしています。またシミュレータのカスタマイズについても比類のない柔軟性を提供しています。

## 製造準備

製造工程の考慮はPCB設計にとって常に切り離すことのできない要素です。これまで設計者は製造用のデータ準備、回路図、レイアウト図の作成に複数のアプリケーションを使う必要がありました。このプロセスを効率化するため、Expedition EnterpriseではAutoActive機能に対応した統合された製造データ作成、生成、検証環境Fablink XEを用意しています。Fablink XEはボードレベル、パネルレベルのどちらでも製造用データをコントロールできるよう特に設計されたツールであり、設計データと製造データの整合性を保証するものです。

Fablink XEはパネル設計データベースを使ったパネルレベルの製造用データを作成、編集するためのスタンドアロン環境を提供します。さらに、詳細なデータ表示機能や検索対応PDF出力、銅箔ベタのバランス調整、各種データ出力ならびにGerber In/Drill In機能など、様々なボードレベルの機能を備えています。Design for Fabrication (DFF) 機能が設計中に重要な製造用チェックを行い、製造工程に入ってからエラーが発見されることによる高価な設計のリスピンを解消することができます。



Expedition Enterpriseを使った設計フローは中規模から大規模なエレクトロニクス企業のニーズに対応します。

## ライブラリ、設計データ管理、社内データ統合

危険物質の使用に関する行政からのより厳しい規制、グローバルな製造展開、設計／製造のサードパーティへの依存、これらすべてに設計の複雑化という要素が加わっている今日、設計プロセスを効率的に管理し、設計と企業内業務システムのタイトなリンクを達成することができるツールの必要性はこれまでになく高まっています。

DMSは電気設計プロセスをサプライチェーンに組み込み、サプライチェーンを設計者のデスクトップからアクセス可能にします。DMSは設計に関連する組織全体に渡って、データの完全な一貫性、精度、可用性を保証するものです。さらに、DMSでは複数のデータ・システムを統合することにより、複数のベンダー、設計手法、サイトにまたがったコラボレーションならびにライフサイクル管理が可能になります。

これは設計データ管理とコンポーネント情報を統合することによって実現され、企業の部品調達ポリシー（認定部品、認定ベンダー）にデスクトップから簡単にアクセスすることができます。これにより設計者は最適な部品選択を行い、設計プロセスの一環として部品リストを管理できるため、調達コスト、信頼性、規制への適合の点で企業の調達ポリシーに従った正確な部品表が生成できます。プロジェクトが完了した後も、DMSによるリリース・プロセスの管理により、製品についての正確なドキュメンテーションを製造部門、PLM、ERPシステム、およびサプライチェーン管理システムに渡すことができます。

## サポート、トレーニング、コンサルティング

メンター・グラフィックスでは、Expedition Seriesツールを使った生産性の向上および成功を支援するための豊富なサービスを用意しています。Customer Supportでは受賞歴のある技術サポート、革新的なオンライン・サポートならびに高品質な製品改良を提供しています。Education Servicesでは教室でのトレーニングおよびオンラインでのトレーニングにより新しいツールおよびテクノロジーの導入をサポートします。また、Mentor Consultingは難易度の高い設計分野における専門的な技術を迅速な対応にて提供します。

## ハードウェア条件

- Pentium III あるいはそれ以上を推奨
- メモリ：256 MB RAM、512MB RAM以上を推奨

## OS条件

- Windows XP Professional、Windows 2000、Sun OS、RedHat Linux

製品の仕様は予告なく変更されることがありますのでご了承ください。  
Mentor Graphics Corporationはメンター・グラフィックスの登録商標です。  
その他全ての会社名および製品名は各所有者の商標または登録商標です。

**メンター・グラフィックス・ジャパン株式会社** 本 社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA新大阪21  
電話 (06) 6399-9521

名古屋支店 〒460-0008 名古屋市中区栄4丁目2番29号名古屋広小路ブレイス  
電話 (052) 249-2101

URL <http://www.mentorg.co.jp>

**Mentor  
Graphics®**

06/10-R2-1000-WP