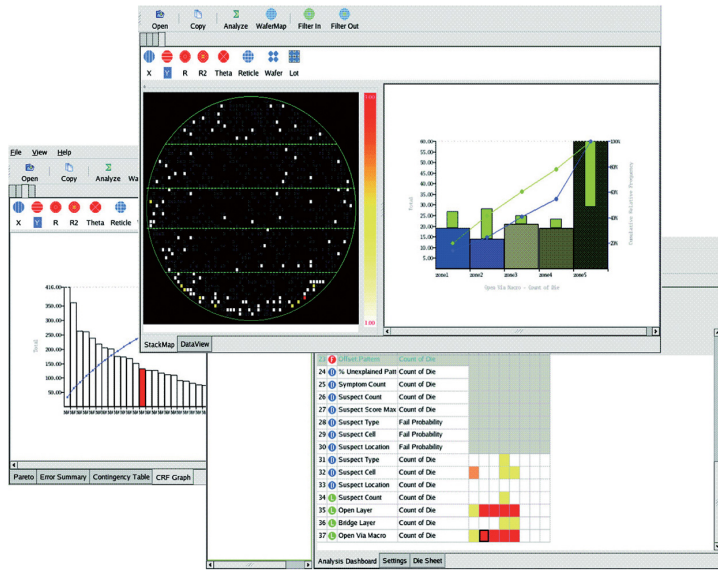


# Tessent YieldInsight

## 診断ドリブンの歩留まり解析

Silicon Test and Yield Analysis  
D A T A S H E E T



Tessent YieldInsight はシステムティックな歩留まり低下の原因を特定し、物理解析対象とすべきダイの選別を強力にサポートします。

## テストを歩留まり解析に活用

65nm以下のテクノロジー・ノードでは、歩留まりのランプアップと、高い歩留まりの維持は極めて難しい課題です。製造プロセスの完全なキャラクタライゼーションは非常に長い時間を伴い、結果として製造プロセスと、設計との間の相互作用を系統立てることが困難になってきています。システムティックな不良は歩留まりの立ち上げを遅らせ、Time-to-Marketに影響を与えるばかりでなく、期待される歩留まりの維持を困難にし、収益性に大きな問題をもたらします。

システムティックな不良の存在は、単にデバイスが故障するばかりでなく、わずかな製造ばらつきに依存して、歩留まりが損失してしまうことも意味します。市場への製品投入のペースを維持するには、出荷テストおよび歩留まり解析がこの問題に対応していなければなりません。

メンター・グラフィックスの歩留まり解析ソリューションであるTessent™ YieldInsight™は、膨大な数のスキャン診断レポートを解析し、最も可能性の高い歩留まり低下メカニズムをインテリジェントかつ迅速に特定します。Tessent YieldInsightは、設計情報を徹底的に利用する、革新的な解析手法により、従来の製造装置からの情報を中心とした歩留まり解析システムを補完します。故障診断ツールとの一貫性を保ちながら、不良ダイの選択およびフィルタリング、同様の理由で不良となっているダイのグループ化、これらのグループの様々な特徴を解析することによるシステムティックな歩留まり低下メカニズムの識別と特定をサポートします。

### 主な特長：

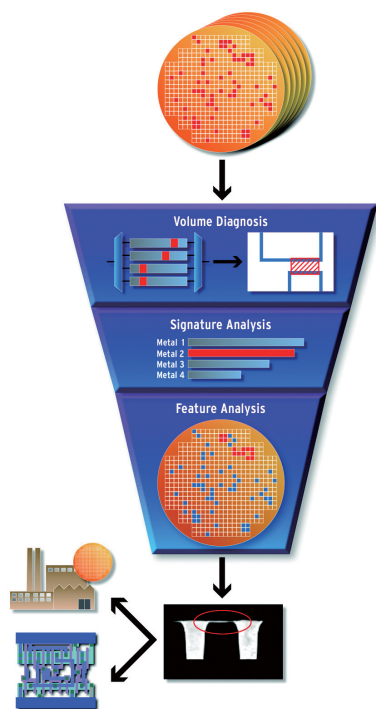
- 歩留まり損失の根本原因を特定するまでのサイクルを大幅に短縮
- 隠れた歩留まり低下要因を自動的に識別
- テストおよび診断結果の可視化により歩留まり問題を視覚的に特定
- 故障解析対象のデバイス選択を改善し、物理解析の成功率を最大化
- 歩留まり改善対策の優先順位付けを支援
- 充実したカスタマー・サポート体制

### 主な機能：

- 8つのゾーニングに対する統計解析に基づき、システムティック欠陥の存在をダッシュボードに表示
- ドリルダウン機能により、物理解析に値するダイを効果的に選択
- 50種類以上の診断シグネチャをパレート図化し、解析
- フィルタ・イン/アウト機能による、特定のシグネチャに着目した解析
- 自由度の高いウエハスタック・マップ
- パレート図
- CRF (相対累積度数) グラフ
- フェイルスキャン・セルの分布マッピング

## 進化した歩留まり解析

Tessent Diagnosisは製造テストで不良となったチップのフェイルデータを効果的に故障診断することができます。Tessent YieldInsightはこの故障データを統計的に解析し、欠陥解析を行う前にシステムティックな歩留まり阻害要因を特定します。これにより、コストのかかる物理解析(PFA)が不要となるため、歩留まり低下の原因を判定するのにかかる期間が、従来の数週間から数日に短縮できます。



診断ドリブンの歩留まり解析フローには、量産テスト診断および統計的解析機能が含まれています。

Tessent YieldInsightは、Tessent Diagnosisによる故障診断結果およびシグネチャ解析結果に基づいてデータを整理します。ウエハスタック・マップなどの可視化ツールを用いて、類似した故障の傾向を持つデバイスを分離し、その中でも最も発生頻度の高い欠陥フィーチャーを特定し、歩留まり低下の原因を判定します。

Tessent YieldInsightは、いくつかのゾーニングに対して、全タイプのシグネチャ解析を自動的にを行います。そして理論的に予測されるシグネチャと実際のシグネチャと比較し、この差異が大きいチップを浮き上がらせて、システムティック不良の候補としてダッシュボードに結果を表示します。

例えば、ウエハ全体として欠陥の分布が一見ランダムであっても、via3を含むオープン欠陥はウエハの中心部から多く発生していたとします。via3のオープンはウエハ全体で最も多く発生しているタイプではないものの、局所的には理論予測と違う分布をしているため、このシグネチャ(ウエハ中心部でvia3オープンと判定された故障チップ)をさらに掘り下げて解析する必要があります。Tessent YieldInsightはこのようなゾーン解析により、隠れた歩留まり低下要因を特定します。

物理解析を行うダイを選択する手順は、システムティック欠陥に起因する不良チップを自動的に特定することにより効率化されます。これにより、従来の解析技術と比較して、歩留まりの改善を早めることができます。

## Tessentシリコンテストおよび歩留まり解析ソリューション

Tessent YieldInsightは、メンター・グラフィックスの包括的な歩留まり解析ソリューションの一部です。

- ・ Tessent SiliconInsight<sup>®</sup>: ベンチトップおよびATE環境の両方に対応した対話型デバッグおよびキャラクタライゼーション機能により、1stシリコンの立ち上げにかかる期間を短縮します。
- ・ Tessent YieldInsight: スキャンテスト・データおよび診断結果の可視化および統計的解析により、歩留まり低下原因を特定し歩留まり改善を加速します。
- ・ Tessent Diagnosis: スキャンベースの故障診断機能を提供し、デバッグ、不良解析、量産歩留まり解析に利用することができます。

Tessent製品ファミリには、テスト挿入、自動テストパターン生成(ATPG)、オンチップパターン圧縮、メモリ/ロジック/ミックシグナル向けビルトイン・セルフテスト(BIST)、シリコン立ち上げ、診断ドリブンの歩留まり解析など、統合されたテストソリューションが含まれています。すべてのTessent製品は、UNIX(Linux)上で利用できます。

Copyright © 2009 Mentor Graphics Corporation. All rights reserved.  
Mentor GraphicsはMentor Graphics Corporationの登録商標です。  
その他記載されている製品名および会社名は各社の商標または登録商標です。  
製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社 

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ガーデン  
電話 (03) 5488-3030 (営業代表)  
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21  
電話 (06) 6399-9521  
名古屋支店 〒460-0008 愛知県名古屋市中区栄4丁目2番29号 名古屋広小路プレイス  
電話 (052) 249-2101  
URL <http://www.mentorg.co.jp>