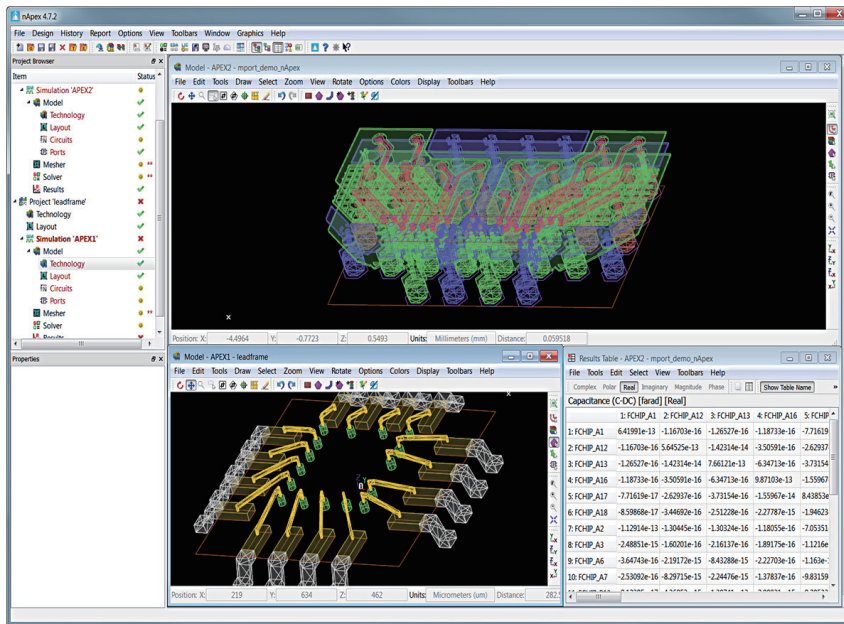


HyperLynx Fast 3D Solver

チップからシステム設計まで対応した SPICE モデルを高速抽出

ハイスピード設計

D A T A S H E E T



メンター・グラフィックスの HyperLynx Fast 3D Solver は、パワーインテグリティや低周波 SSN/SSO の解析、システム全体の SPICE モデル生成に最適であると同時に、表皮効果による抵抗やインダクタンスへの影響も考慮します。マルチコアの並列処理により実行時間が劇的に短縮されるため、複数のシナリオを比較検討できる「what if」解析を最小限の時間で実行できます。

概要

メンター・グラフィックスの HyperLynx[®] Fast 3D Solver は、高速フル 3D 準静電磁場 (EMQS) パラメータ抽出ツールです。チップインタフェース、再配線層 (RDL: Redistribution Layer)、パッケージ、基板、システム、SiP (システムインパッケージ) などの設計者は、完全に自動化された環境で SPICE モデルを高速かつ高精度に抽出できます。このソルバは、パワーインテグリティ (PI) や低周波 SSN (同時スイッチングノイズ) / SSO (同時スイッチング出力) の解析、システム全体の SPICE モデル生成に最適であると同時に、表皮効果による抵抗やインダクタンスへの影響も考慮します。

開発するアプリケーションが高性能マイクロプロセッサ設計、低価格 ASIC およびシステム設計などいずれを含む場合でも、このソルバは効果的なソリューションを提供します。大規模設計で業界をリードする高い能力を活かしたこのツールは、これと同等のほかのソリューションに比べてパワーインテグリティ、シグナルインテグリティ、同時スイッチングノイズの問題に 20 ~ 100 倍も高速に対処しながら、模範となるゴールドスタンダードのフル 3D EMQS 精度を維持します。SiP、PoP (パッケージオンパッケージ)、積層ダイ、MCM (マルチチップモジュール) といった最新の設計に取り組んでいるエンジニアは、直感的な GUI によって最小限の労力で高精度のモデルを簡単に抽出できます。

強力な 3D 機能を持つ抽出ツールは、リファレンス層が適切に設定されていない電源ネットや信号ネット、またインピーダンスの大きく異なるネットにも自動で対処します。さらに、独自の損失モデリングの技術を用いて、DC および表皮深さに基づく抵抗とインダクタンスの高周波特性をキャプチャします。広帯域特性は、単一の周波数非依存回路を用いて出力 SPICE モデルで表現されます。充実した IP と豊富な機能セットにより、表皮効果の周波数依存を考慮した (または考慮しない) インピーダンス、抵抗、コンダクタンス、キャパシタンス、インダクタンス、完全な SPICE ネットリストなど、ユーザは複数の抽出タイプから選択が可能です。

機能と特長

- 究極の精度
 - リファレンスプレーンの想定なく、すべてのジオメトリに対応する 3D EM ソルバ
 - 数 GHz という広帯域のモデル抽出
 - 抵抗とインダクタンスに対する表皮効果を考慮した高周波モデリング
- 究極の性能
 - 高速準静電磁場パラメータ抽出ツールにより、システム全体の SPICE ネットリストを迅速に生成
 - 複数マシンによる並列処理で実行時間を短縮
 - ほぼ線形にコアを拡張することで、すべての CPU リソースを効率的に使用可能
- 究極の使い勝手
 - すべてのエンジニアが EM 解析を遂行できる使いやすさ
 - 自動化環境により EM 解析を設計フロー内に統合
 - SI 解析、PI 解析、モデリングを 1 つの環境で実行

機能

3D 準静電磁場 (EMQS) パラメータ抽出

- 高速 EMQS 境界要素技術
- インピーダンス、抵抗、コンダクタンス、キャパシタンス、インダクタンスの抽出
- 表皮効果を考慮した広帯域 SPICE モデルの生成
- SPICE モデルの自動生成
- L または π モデルの選択、出力ネットリストの段数の選択
- DC 精度を最大化する容積測定法
- スケーラブルな負荷分散型マルチコア圧縮技術による高速境界要素法電磁界解析

パッケージングと解析フローまで完結

- Xpedition[®] Package Integrator と直接統合
- HyperLynx、HSPICE、Spectre、SigXP、Allegro SI、Agilent ADS にモデルを直接エクスポート
- 簡単に使用できる SPICE サブサーキットと IBIS パッケージモデルを生成

強化された使い勝手と GUI 機能

- Python ベースの完全なスクリプト機能により、解析を完全自動化
- パッケージレイアウトの編集と作成
- 柔軟なモデルクロッピングのオプション
- 自動化されたポート設定
- 直感的なピングループ化のオプション
- メンター・グラフィックス、図研、AutoCAD、ケイデンス・デザイン・システムズが提供する業界標準ファイルフォーマットのチップメタル層、RDL、パッケージ、基板をマージ可能

- PoP、SiP、SoC、MCM、積層ダイをサポート
- 再メッシュ機能の自動化
- ボンディングワイヤ、はんだボール、はんだバンブ、リードの設計を完全 3D で制御
- 生成されたモデルに、パスコンデンサなど線形受動部品を直接組み込み可能
- Windows と Linux、64 ビットをサポート

性能

- LSF/SGE による分散シミュレーションのサポート
- 拡張されたマルチコア/マルチ CPU のエンジン
- 並列処理のアダプティブ周波数スイープによる解決

適用例

- PoP のコンフィギュレーション
- SiP および MCM (マルチチップモジュール)
- コプレーナパッケージ
- QFN、QFP、リードフレームパッケージ
- 埋込み受動部品
- ビア、ボード間配線、インターコネク、ボンディングワイヤ、はんだボール、はんだバンブの詳細モデリング
- パッケージと基板をマージしたコンフィギュレーション
- 積層ダイ
- RDL (再配線層) のモデリング
- 電源供給ネットワーク (PDN)

詳しい製品情報は、<http://www.mentorg.co.jp/pcb> をご覧ください。

Copyright © 2016 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー
電話 (03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話 (06) 6399-9521

名古屋支店 〒460-0003 愛知県名古屋市中区錦 1 丁目 11 番 11 号 名古屋インターシティ 11F
電話 (052) 204-2010

URL <http://www.mentorg.co.jp>