

HyperLynx

SERDES解析

D A T A S H E E T

概要

SERDES (Serialization-Deserialization) インターコネクタ (配線) の設計と解析には、SERDES設計固有の技術的課題が伴うだけでなく、業界特有の複雑な課題が加わります。例えば、仕様が2~3個という比較的単純なダブルデータレートメモリ (DDRx) と異なり、SERDESには100を超える独自の仕様があります。複数のSERDESプロトコルを含むプリント回路基板 (PCB) 設計では、プロトコル間で情報が伝達されないため、プロトコルごとにインターコネクタ解析をゼロから始めなければなりません。

HyperLynx®は、次のようなSERDES向けの機能を備えています。

1. インテリジェントな自動チャンネル抽出
2. インタフェースレベルのチャンネルコンプライアンス検証
3. プリレイアウト時におけるトライ・アンド・エラー

こうした機能が組み合わさり、SERDESの超高周波インターコネクタに必要な精度を維持しながら、SERDESチャンネル解析を自動化します。

特長と利点

- 完全自動チャンネル分解とモデリング
- ツールに内蔵されたEM (電磁) の専門知識
- リターンパスを考慮した自動3D領域生成
- トポロジ別自動ポート作成、境界条件、メッシュ生成、3Dフィールドソルバ設定
- 許容値に基づく3D領域パターンマッチング
- ツールに内蔵されたプロトコル分野の専門知識
- イーサネット、OIF-CEI、ファイバチャンネル、PCI Express、JCOM、USB 3.1プロトコルのサポート
- プロトコル準拠のTx/Rxモデル
- 包括的なHTMLレポート
- CTLE、FFE、DFEを使用したイコライゼーション最適化
- テンプレートベースの3D構造合成

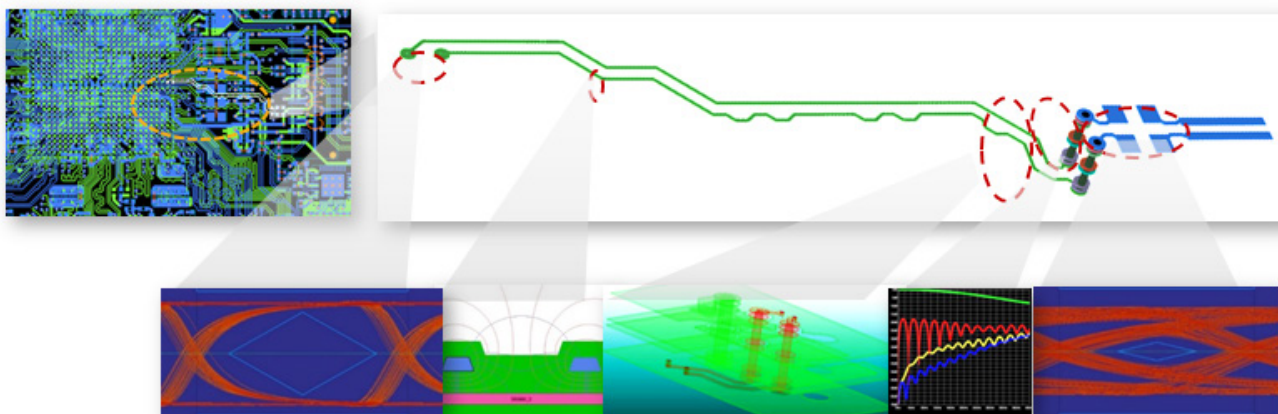


図1 SERDESチャンネル分解とモデリング

SERDESチャネル解析

一般的なチャネル抽出とモデリングの手法では、以下の手順を実行します。

1. インターコネクトを3Dフィールドソルバと2Dフィールドソルバでモデル化するセクションに分割
2. 3Dフィールドソルバでモデル化するセクションからSパラメータモデルを生成
3. 3Dフィールドソルバから生成したSパラメータモデルを2Dフィールドソルバでモデル化したセクションに再接続してインターコネクト全体を表現
4. 周波数ドメイン解析またはコンプライアンス検証用に、インターコネクト全体のSパラメータモデルをエクスポート

以上の作業は手作業のため、細部への注意を払わなければならない、時間がかかり、エラーも発生しやすくなります（図1）。また、生成されるモデル（上記ステップ2）が正確であるかを判断するための、電磁気学に関する深い専門知識が必要です。

仮に、リターンパスが存在する場所を理解せずにインターコネクトを強引に分割（または切断）（上記ステップ1）した場合、生成されるSパラメータモデル（ステップ2）の精度は低くなります。逆に、インターコネクトの切断が控えめすぎても、つまり大きな領域を取った場合、シミュレーションの実行時間やメモリ消費を増加させます。

さらに、非常に高い周波数にも有効なポートを作成したり（ステップ2）、切り取ったエッジからの反射を抑制する適切な境界条件を指定したり（ステップ2）する作業は簡単ではありません。

インテリジェントな自動チャネル抽出

HyperLynxは以上のプロセス全体を自動化します。デザイン内のSERDESネットを特定して、ボタンを一押しするだけでプロセスを実行できます。

HyperLynxは、ネットのどの部分を3Dフィールドソルバでモデル化すべきか、デザインに基づいて判断します（図2）。ポートの作成、境界条件、メッシュ設定などは、解決しようとしている問題の種類に応じて指定しながら、正確な結果を迅速に生成します。

問題を正確にモデル化するために必要な電磁気学の専門知識は、ソフトウェアに内蔵されています。また、生成されるSパラメータモデルは、周波数ドメイン解析またはコンプライアンス検証に使用できます（次のセクション参照）。さらに、ビアパターンなど同じPCB構造がデザインの別の部位にも存在する場合、最初の解析で生成されたSパラメータモデルを自動で再利用できるため、その後の解析を大幅に高速化します。

インタフェースレベルのチャネルコンプライアンス検証

チャネルコンプライアンス検証は簡単な作業ではありません。ハードウェアエンジニアは、仕様を理解する必要がありますが、中には1000ページに及ぶものもあります（PCI Express Gen 3およびGen 4）。有料のものや容易に入手できないものも含め、仕様は複数のコンプライアンス機関によって策定されており、プロトコル間の互換性がありません。例えば、PCI Expressの仕様とIBIS-AMIの仕様では、ジッタの規定は異なります。設計サイクル短縮化のプレッシャーがかかるなか、ハードウェアエンジニアは詳細な仕様を正しく理解する時間も、必要な訓練を受ける余裕もありません。

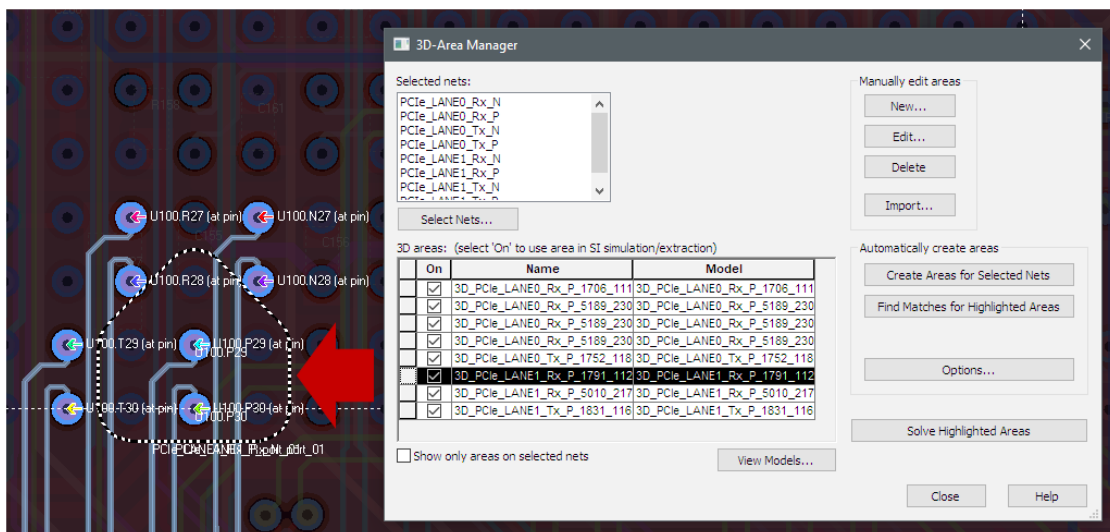


図2 利用可能なリターンパスに基づいて自動生成された3D領域

HyperLynxを使用すれば、インターコネクトを検証するために必要なプロトコル分野の専門知識もツール自体に内蔵されています（図3）。

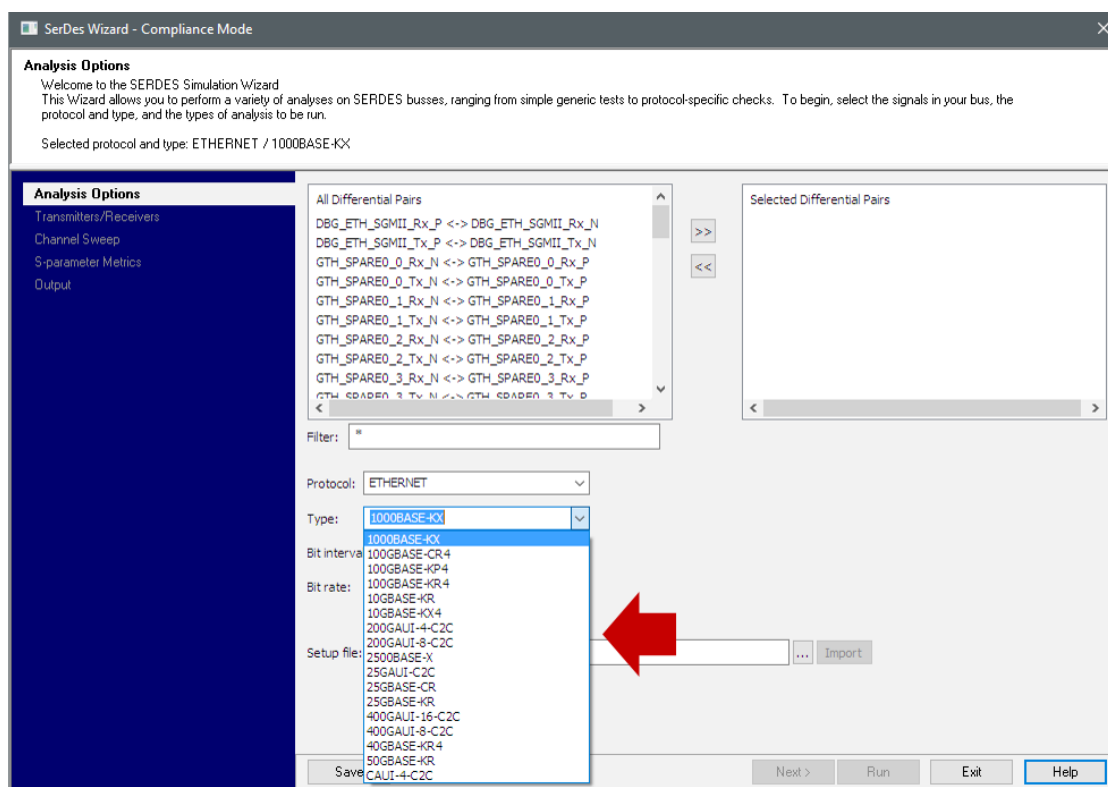


図3 インターコネクトを検証するためのプロトコル分野の専門知識が内蔵されているHyperLynx

チャンネル動作マージン（COM）ベースの手法がサポートされているため、インターコネクトが複数のプロトコルに遵守しているかを判断できます（図4）。

Bit rate	ANSI	Ethernet	JCOM	OIF-CEI	PCI Express	USB
1 - 5 Gbps		1000BASE-KX 2500BASE-X 10GBASE-KX4			PCIe Gen1 -2.5GBps PCIe Gen2 -5GBps	USB3.1 -Gen1 -5Gbps
5 - 10 Gbps		10GBASE-KR 40GBASE-KR4			PCIe Gen3 -8GBps	USB3.1 -Gen2 -10Gbps
10 - 25 Gbps	ANSI-FC-P1-6	100GBASE-KP4 CAUI-4-C2C			PCIe Gen4 -16GBps	
25 - 50 Gbps		25GAUI-C2C 25GBASE-CR 25GBASE-KR 50GBASE-KR 50GBASE-CR 200GAUI-4-C2C 200GAUI-8-C2C 400GAUI-8-C2C 400GAUI-16-C2C 100GBASE-KR4 100GBASE-CR4	JESD204C	CEI-25G-LR CEI-28G-MR CEI-28G-SR CEI-56G-LR-PAM4 CEI-56G-MR-PAM4 CEI-56G-XSR-PAM4	PCIe Gen5 -32GBps	
> 50 Gbps				CEI-56G-USR-NRZ		

図4 チャンネルコンプライアンス検証でサポートされているプロトコル

ハードウェアエンジニアは、内蔵のプロトコル準拠ドライバ/レシーバモデルを使用してインターコネクト全体を評価できるため、IBIS-AMIモデルが必要でなくなります。

ビヘイビアモデルを使用すると、IBIS-AMIモデルを使用したときより著しく高速にチャンネルコンプライアンス検証を実行できます。HyperLynxは、DFE（Decision Feedback Equalization；判定帰還型等化器）やCTLE（Continuous Time Linear Equalization；連続時間線形等化器）といったプロトコルリファレンスアーキテクチャや制約に基づいて、最適なイコライゼーション設定を特定できるようにします。チャンネル最適化は、プリレイアウト解析段階およびポストレイアウトのスクリーニング段階のどちらでも実行できます。チャンネルコンプライアンス検証の結果を含むHTMLレポートが作成され、共有も簡単です。

プリレイアウトの設計トレードオフと最適化

SERDESチャンネルの大部分の解析は、PCB設計サイクルのプリレイアウト段階で実行します。ビアパターンなどデフォルトのジオメトリ／コンフィギュレーションを作成してから、それを最適な構造に変更します。変更可能なパラメータの数とパラメータが取りうるさまざまな値から、トポロジ構成の数は無限になります。

HyperLynxは、テンプレートベースの手法を採用することで、ハードウェアエンジニアが任意の設計ジオメトリを最適化するのを支援します（図5）。ディファレンシャルビア、ボールグリッドアレイ（BGA）のブレイクアウト／ブレイクイン、直列ブロッキングコンデンサ実装方法といった構造のテンプレートとその関連パラメータを編集できます。

仮想実験してパラメータ値をさまざまな組み合わせでスイープでき、測定制約を適用して特定の基準を満たす構成を見極めることができます。ここで確定した構成とそれに付随するSパラメータモデルはその後、さらなるタイムドメイン解析や周波数ドメイン解析に使用できます。

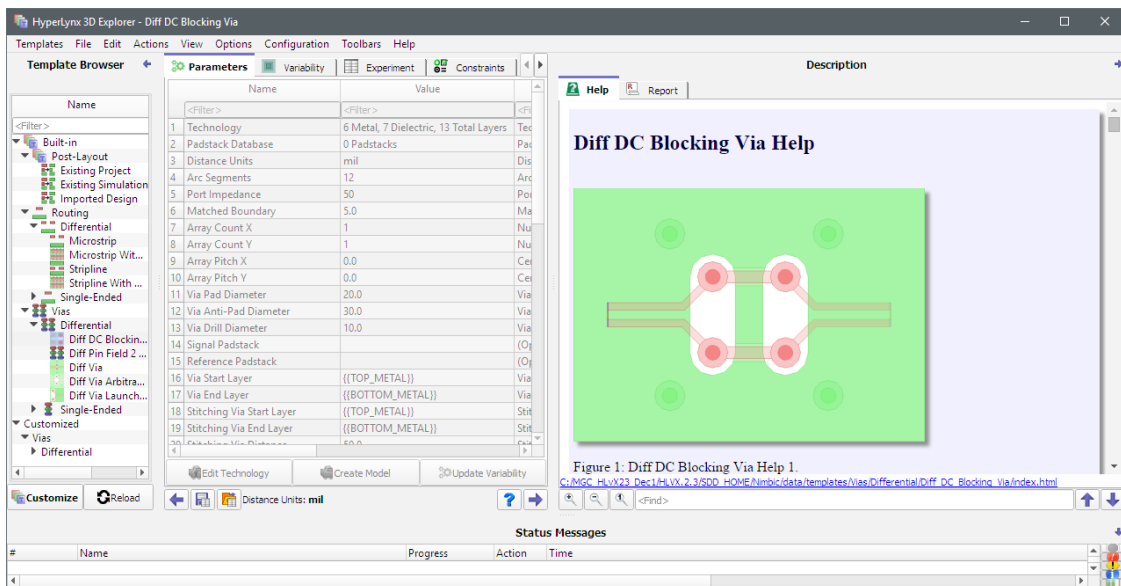


図5 ディファレンシャルDCブロッキングビア構成のテンプレート

詳しい製品情報は、www.mentorg.co.jp/pcb をご覧ください。

Copyright © 2019 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話 (06) 6399-9521
名古屋支店 〒460-0003 愛知県名古屋市中区錦 1 丁目 11 番 11 号 名古屋インターシティ 11F
電話 (052) 204-2010
URL <http://www.mentorg.co.jp>