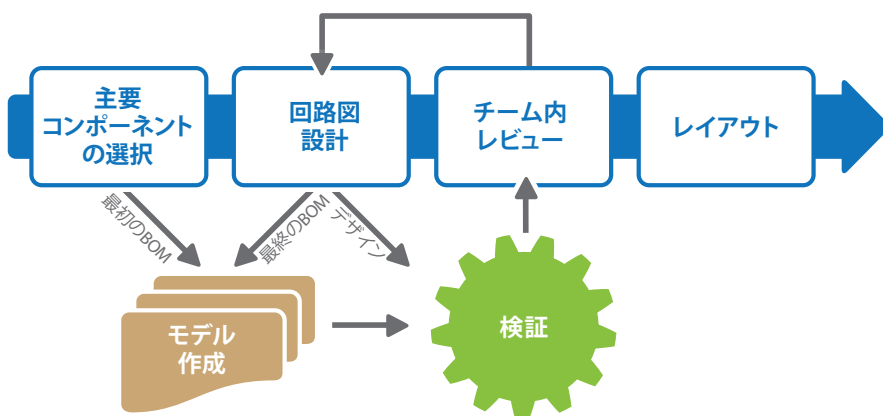


概要

Xpedition® Schematic Integrity Analysisは、事前定義されたチェック機能と豊富なインテリジェントモデルコンポーネントライブラリを使って、回路図上のすべてのネットを徹底的に検査します。回路図のすべてのネットを自動チェックすることで、数百時間にも及ぶ設計チームの目視検査とラボでのデバッグ時間を短縮します。このチェックは回路図設計が完成する前に迅速に実行されるため、初回成功という高い確実性をもってレイアウト段階を開始できます。

Xpedition Schematic Integrity Analysisは回路図キャプチャと並行して実行されます。この解析は、製品出荷後の電子機器デザインでも実行可能なため、デザイン品質を強化し、歩留まりを向上させるとともに、返品率を下げます。



既存の設計プロセスに回路図検証をシームレスに統合

適用可能性

Xpedition Schematic Integrity Analysisは、1つのエンジニアリングチームの設計オペレーションで、さまざまなニーズに適用可能です。主に新規の製品開発向けに作成されたルールベースの、CADに依存しないこの技術は、ほかの領域にも直接適用できるため、どの顧客の製品開発要件においてもビジネス価値を強化します。

特長

- 100を超える内蔵チェック機能
- マルチボード配線解析
- 回路内の全ネットを100%完全検査
- 解析結果のインテリジェントな後処理
- 豊富なインテリジェントモデルライブラリ
- 簡単なセットアップと直感的な操作
- デバイスモデルのカスタマイズ
- カスタムFPGAモデルの自動インポート
- 主要な回路図キャプチャツールとの相互互換性

主な利点

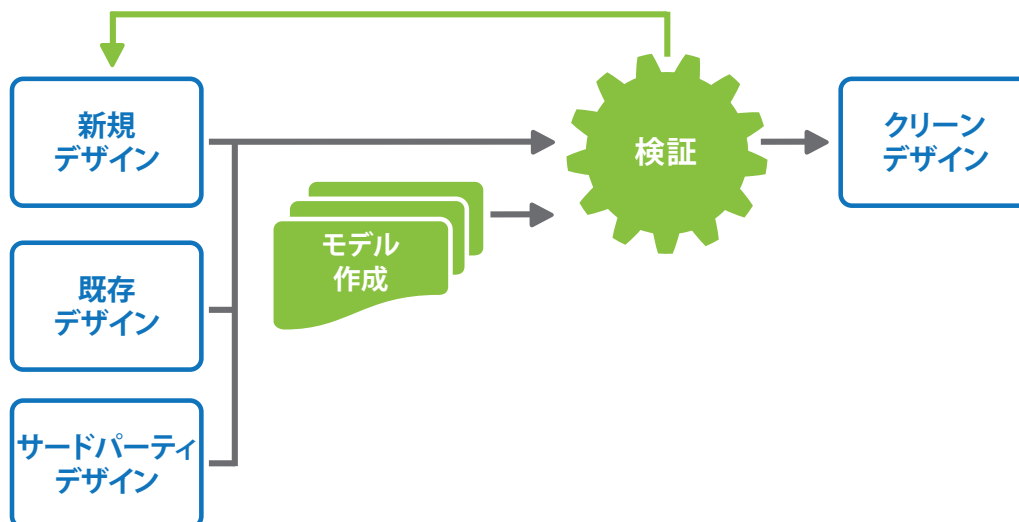
可能な限り早期の設計品質最適化に重点を置く回路図解析は、設計チームの生産性を体系的に向上させ、以下の利点をもたらします。

- ハードウェアのリスピンを削減し、より迅速なTime-to-Marketを実現
- 開発、テスト、品質保証のコストを削減
- 迅速に統合して高い歩留まりを実現
- 歩留まり向上と出荷後返品削減
- 優れた製品品質

新規製品の設計 - 下流工程の遅延と品質問題を回避

回路図デザインは複雑過ぎるため、設計者が目視確認で行うチーム内レビューでは徹底的な検査ができません。この段階での欠陥見落としの影響は深刻で、数少ないエンジニアリング人材をデバッグ対応に無駄に割り当てることになり、大幅な製造遅延、歩留まり低下、大量の修理不能製品の山、保障期間内対応コスト増大、顧客満足の低下を招きます。

回路図検証は設計と並行して行われるため、ハードウェア開発のスケジュールに影響を及ぼしません。

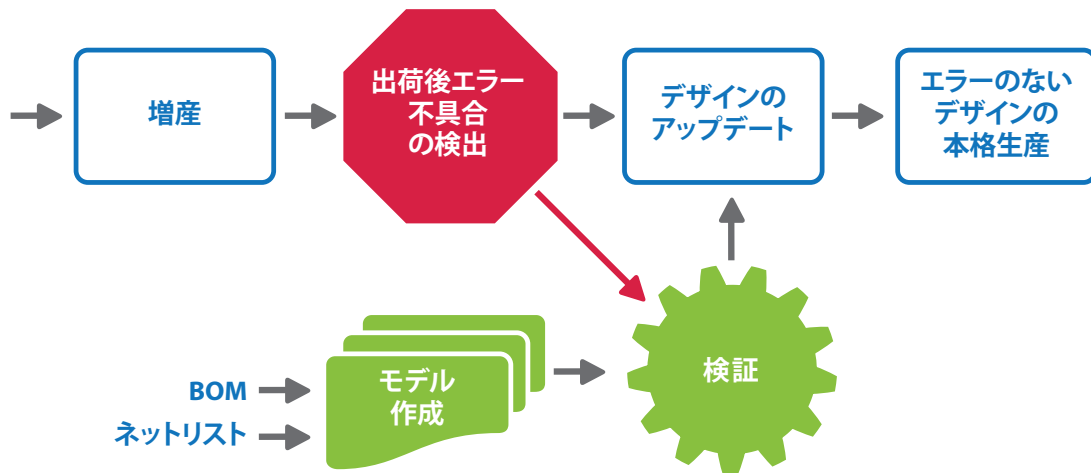


Schematic Integrity Analysisは、新規デザイン内の各ネットに対する100以上の独自チェックを自動化することで、数百時間に及ぶ設計チームの目視検査とラボでのデバッグ時間を短縮します。これらのチェックは、回路図設計が完成する前に迅速かつ即座に実行されるため、初回成功という高い確実性をもってレイアウト段階を開始できます。

新規のデザインはモデル化することで絶えず解析されるため、土壇場の設計変更でも確実に検証されます。マルチボードデザインのデータも統合してシステムレベルの検証を実行できます。

既存製品の設計 - 問題ある製品を徹底診断

特に出荷後の製品性能が期待に満たず、事業意図に合わないとき、既存の電子機器デザインを維持／向上させることは製品設計チームにとって大きな負担となります。



Schematic Integrity Analysisは、製品出荷後の電子機器デザインでも実行可能なため、デザイン品質を強化し、歩留まりを向上させるとともに、返品率を下げます。

また、理想的とは言えない回路動作を見せる、問題のある出荷済み製品を迅速に検証し、以下の性能に及ぼす悪影響を回避します。

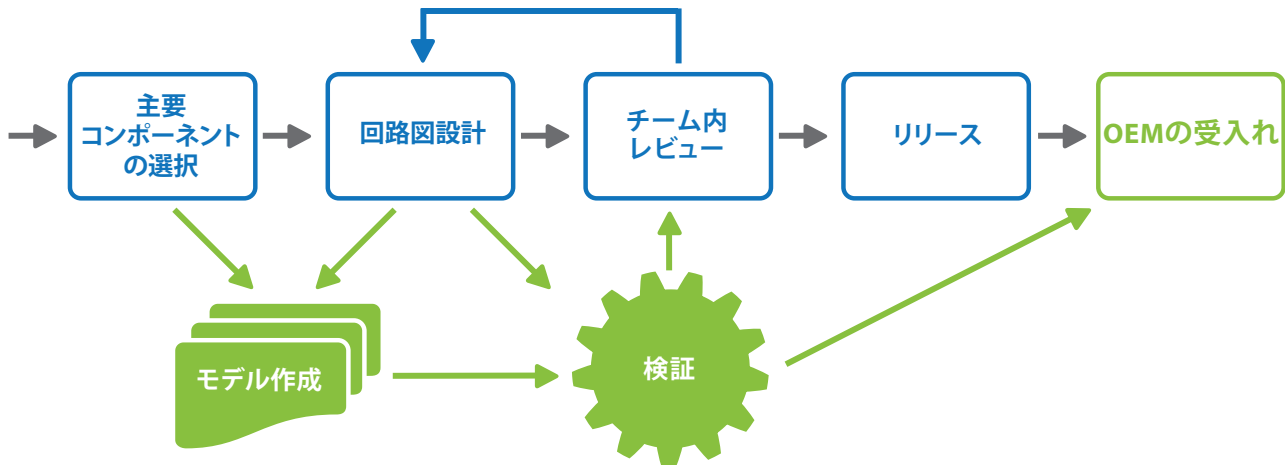
- 高い歩留まり
- 低い保障期間内の故障率（MTBF）
- 低い良品返品（No-Fault-Found）率
- 設置／試運転の高い成功率

出荷後の製品にデザイン欠陥や安全率不足の可能性があると、動作性能の劣化につながり、問題の根本原因の特定に設計チームの労力が奪われることとなります。特定作業には数週間もかかるのが一般的ですが、回路設計の品質を適切に検査していればこうした労力の大部分を回避できます。

Schematic Integrity Analysisであれば、問題のある製品のモデルを作成することによって、欠陥や安全率の不足の可能性を体系的に特定できます。チェックすべき箇所をわずかな時間と労力で設計チームに包括的に示し、性能劣化につながる問題の診断を可能にします。

サードパーティのデザイン - 新規デザインを検査して期待どおりの品質を達成

OEM企業はますます、ODM（Original Design & Manufacturing; 委託者のブランドで製品を設計／生産）モデルを利用してTime-to-Marketを短縮し、ODMプロバイダが提供する低コストの能力を活用するようになってきています。しかし、品質システム、設計手法、検証手法の異なるODMプロバイダを利用するにあたり、OEMは品質に対する高い評判をどのように維持するのでしょうか。



ODMデザイン

新規デザインの受入れ検査にSchematic Integrity Analysisを用いることで、Time-to-Marketを重視するOEMは迅速かつコスト効率良く、ODMやデザインサービスのパートナー企業から提供されるデザインが正しく、信頼できるものであることを確認できます。欠陥や安全係数の不足が体系的に示されるため、新規デザインが以下に挙げる性能目標を達成しているかどうかを客観的かつ徹底した測定指標で判断できます。

- 高い歩留まり
- 低い保障期間内の故障率（MTBF）
- 低い良品返品（No-Fault-Found）率
- 設置／試運転の高い成功率

この技術はCADに依存しないため、顧客のODMパートナーと直接連携して、設計プロセス内解析を実行することが可能です。顧客の設計プロセスとも完全に両立し、最適化した設計を初回で確実に成功させます。

Xpedition Schematic Integrity Analysisによる回路図チェックの例

- ピン電圧の最大／最小／論理閾値のパラメータ検証
- バスフリップエラー（MSBからLSB、TXおよびRXエラー）
- マルチボードとバックプレーンインタフェースの完全検証
- ピン機能の互換性テスト
- （データシートとの）シンボルの不一致
- ドライバ／レシーバテクノロジーのマッチング
- ダイオードの方向検証
- ドライバ／レシーバ機能のマッチング
- 電源／グラウンド／オープンコレクタ／ドレインのショート
- コンデンサのデカップリングチェック
- コンデンサのディレーティング（電圧軽減）（ユーザのディレーティングルールに基づく）
- 冗長な抵抗（ネット検出）
- オープンコレクタ／ドレインの検証
- 不適切な設計プラクティスのチェック（必要に応じてプルアップ、プルダウンを使用）
- 電源／グラウンドプレーンの接続検証
- コンポーネントの電源チェック
- （ネット上の）複数または不明な電源
- 差動ピンの検証
- 未接続のネットまたはバスの検出
- 基板外ネットの検出
- 過剰なピンの特定
- 未接続の必須ピンの特定
- ネットのないドライバ
- ネットのないレシーバ

詳しい製品情報は、<http://www.mentorg.co.jp> をご覧ください。

Copyright © 2018 Mentor Graphics Corporation. All rights reserved.

Mentor Graphics は Mentor Graphics Corporation の登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。

メンター・グラフィックス・ジャパン株式会社

本 社 〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー
電話(03) 5488-3030 (営業代表)

大阪支店 〒532-0004 大阪府大阪市淀川区西宮原 2 丁目 1 番 3 号 SORA 新大阪 21
電話(06) 6399-9521

名古屋支店 〒460-0003 愛知県名古屋市中区錦 1 丁目 11 番 11 号 名古屋インターシティ 11F
電話(052) 204-2010

URL <http://www.mentorg.co.jp>